

아이디어를 칩으로: ASIC시대의 구현 파트너

AI 칩 아이디어를 진짜 양산 가능한 칩으로 바꾸는 일은 누구의 몫인가? 그 답이 디자인하우스이며, 그 정점에 동사가 있다. 동사는 TSMC 생태계에 깊이 결합된 ASIC 디자인하우스로, 뛰어난 설계 역량과 첨단공정 최적화 능력, HBM PHY·UCIe 등 고속 연결용 IP를 무기로 고객의 칩을 완성한다. 지난해 수익 체력이 근본적으로 달라졌고, 올해 외형 성장과 수익성 개선이 처음으로 동반됐다. 여기에 늘어나는 ASIC 매출과 HBM4 전환의 업사이드까지, 답은 하나다 — 동사에 투자하라.

Hi, Hynix

HBM3까지는 Base Die의 역할이 단순했고 자체 팹에서 생산해 백엔드 설계 부담이 크지 않았다. 그러나 HBM4부터는 Base Die가 파운드리로 외주화되고 커스텀 로직과 PHY 최적화가 요구되면서, 낮은 공정·툴과 급증한 설계 물량을 동시에 감당해야 하는 상황에 놓였다. HBM4E 백엔드 설계 수요가 폭증한 가운데 가용 설계 인력은 HBM4 재설계에 묶인 상황, 바로 동사가 구원투수로 등판할 타이밍이다.

Great Google, Terrific Tesla, Awesome ASIC

동사는 기 확보 고객의 매출 가시성, 차세대 수주 확정, 신규 고객 유입이라는 세 축이 동시에 작동하며 거대한 성장 국면에 진입했다. Google과 Tesla는 고객사 본업의 탄탄한 성장으로 매출 가시성을 끌어올리고 있으며, 이들의 차세대 추가 수주 역시 사실상 확실시된다. 여기에 Furiosa의 합류로 ASIC 레퍼런스가 한 층 더 두텁게 쌓이며 신규 수주 기대감도 커진다. 동사만의 강점을 앞세워 신규/기존 고객을 흡수하며, 매출과 이익 체급이 한 단계 도약할 구간에 진입했다.

Valuation - Historical PER Method

동사의 2027E EPS TWD 143.73에 Target 12MF PER 59.91x를 곱한 Target Price TWD 8,610, Upside 67.5%, 투자 의견 Buy를 제시한다. 구글 CPU향 매출, Tesla AI5향 매출 불륨이 커짐과 동시에 HBM향 매출까지 더해진다. 설령 HBM향 매출이 실현되지 않더라도, 기존 ASIC 매출만으로도 Upside가 창출된다.

<Estimated Income Statement>

Estimated Income Statement								
(TWD in Millions)	2022	2023	2024	2025	1Q26	2026E	2027E	2028E
Revenue	24,040	26,241	25,044	34,141	11,448	81,209	145,397	196,418
YoY(%)	59.1%	9.2%	-4.6%	36.3%	63.0%	137.9%	79.0%	35.1%
Cost of revenue	15,705	18,265	16,937	25,687	8,335	63,489	118,105	162,829
Gross profit	8,335	7,976	8,108	8,454	3,113	17,720	27,293	33,589
GPM(%)	34.7%	30.4%	32.4%	24.8%	27.2%	21.8%	18.8%	17.1%
Operating expenses	4,236	4,007	4,305	4,104	1,289	4,512	4,809	5,116
Operating income (loss)	4,099	3,969	3,803	4,350	1,824	13,208	22,484	28,473
OPM(%)	17.1%	15.1%	15.2%	12.7%	15.9%	16.3%	15.5%	14.5%
Interest income	42	98	154	182	51	182	182	182
Interest expense	4	6	4	4	2	4	4	4
Foreign exchange gain (loss)	119	(3)	48	(150)	41	-	-	-
Other income (expense)	78	74	12	30	2	21	25	23
Abnormal gain (loss)	11	23	50	36	8	-	-	-
Pretax income (loss)	4,345	4,155	4,062	4,443	1,925	13,406	22,687	28,673
Income tax expense (benefit)	634	647	612	673	278	2,024	3,425	4,329
Net income (loss)	3,710	3,508	3,451	3,770	1,646	11,382	19,261	24,344
NPM(%)	15.4%	13.4%	13.8%	11.0%	14.4%	14.0%	13.2%	12.4%

Rating

Buy

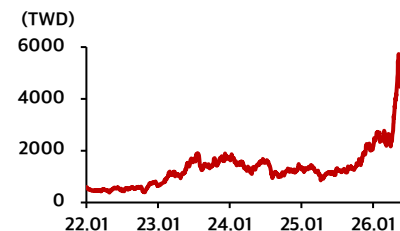
현재주가: TWD 5,140

목표주가: TWD 8,610

Upside: 67.5%

12M 주가추이

Mkt. Cap TWD 688.8 bn



Key Metrics

HBM4E 워크로드	20x
27년 NRE 매출	12.4 bn
TSMC 공장 거리	도보 5분

B/S Data (2025)

자산 총계	TWD 28.4 bn
부채 총계	TWD 15.5 bn
자본 총계	TWD 12.9 bn

주요 주주

TSMC	34.84%
CRMC	3.60%
Fubon Life Insurance	3.50%

SMIC 1팀

팀장 52기 박승진

팀원 52기 김혜민

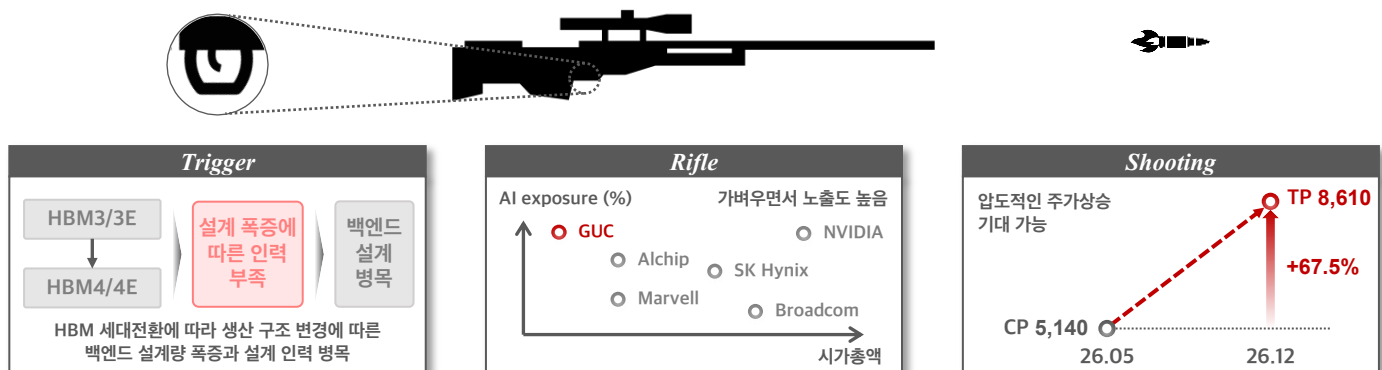
52기 정현우

53기 서진우

53기 양지안

KEY CHARTS

[Investment Thesis] 병목이라는 트리거로 무섭게 상승할 주가



출처: SMIC 1팀

[Main Idea] 동사 프로젝트 파이프라인



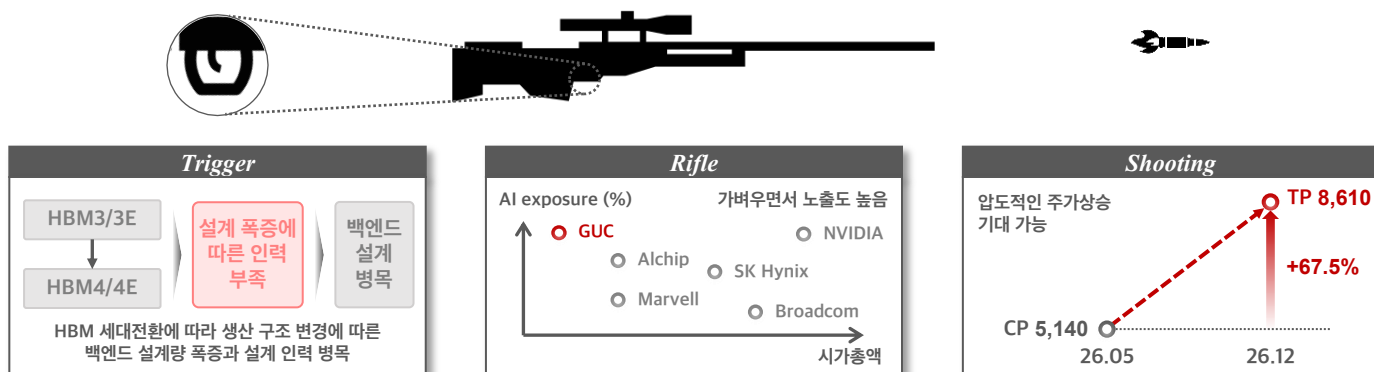
출처: SMIC 1팀

CONTENTS

0. 왕좌가 아니라, 왕좌가 통과해야 할 관문을 산다 - 인트로	04
1. 아이디어를 칩으로: ASIC시대의 구현 파트너 - 산업·기업 분석	05
2. 만년 후보에서 본진으로 - 투자 아이디어	09
3. Hi, Hynix - Point ①	11
4. Great Google, Terrific Tesla, Awesome ASIC - Point ②	15
5. Creating Profit Opportunity - Point ③	19
6. 매출 추정	20
7. Valuation - Historical PER Method	23
Appendix	27

0. 왕좌가 아니라, 왕좌가 통과해야 할 관문을 산다- Intro

도표 0. 병목이라는 트리거로 무섭게 상승할 주가



출처: SMIC 1팀

병목은 어떤 흐름이 흐르다가 반드시 거쳐야만 하는 '대체 불가능한 좁은 길목'을 뜻한다. AI시대에서는 AI모델의 급격한 발전에 따라 인프라 투자 및 수요가 급격하게 증가했고, 이로 인해 여러 곳에서 병목들이 터져나왔다. 대표적으로 통신에 있어 광 섹터의 종목들이 병목에 힘입어 크게 상승했고, 전력 공급 측면의 종목들도 크게 올랐다.

이러한 병목에서 수혜를 누리기 위해서 가장 중요한 것은 그 병목을 얼마나 짊어지고 있는가이다. 병목을 혼자서 짊어지고 있을때 여러이서 나눠 짊어지고 있을 때 그 수혜의 강도는 크게 달라진다. 또한 병목의 수혜에 “투자”하기 위해서는 그 병목이 크게 안 알려져 있어야 한다. 이미 모두가 아는 병목을 뒤늦게 사들이는 것은 알파가 아니다. 향후 12개월의 알파는, **왕좌가 한층 더 커지기 위해 반드시 통과해야 할 다음 관문에서 나온다.**

동사는 고객 ASIC의 백엔드 설계와 생산 턴키를 담당하는 디자인하우스이다. 사실상 유일한 경쟁자는 Alchip이지만, 둘을 가르는 결정적 변수는 TSMC와의 거리다. 지분 35%를 쥔 자회사로서 동사는 웨이퍼와 신공정에 누구보다 먼저 닿는다. 병목이 조여올수록, 초과이익은 생산능력을 먼저 쥔 쪽으로 흐르게 마련이다.

CPU와 AI ASIC의 공급이라는 근본적인 초대형의 병목이 동시에 존재하는 상황에서, 동사는 Google CPU와 Tesla AI5를 통해 양쪽 병목 모두에 올라탔다. 기존에 비트코인 ASIC 등 대규모 턴키 매출로 이어질 메인스트림의 NRE나 턴키 프로젝트를 수주하지 못했으나, 근 1년동안 해당 프로젝트를 수주하고 양산에 돌입하면서, 특히 4월에 두 프로젝트가 모두 확인되면서 급격한 주가 상승을 겪었다. **초대형 병목에서 파생된 조그마한 기회를 차지하면서 나타난 상승이다.** 본 서에서는, 해당 병목에서 자리를 차지하면서 동사가 안정적인 수혜를 누릴것으로 예상한다.

거기에, 동사가 병목 자리를 꼭 질 수 있는 HBM4 설계 역량 병목이 발생했다. HBM4 시대로 가면서 Base Die가 로직화되고 파운드리 미세 공정에서 생산되는 변화를 맞았다. 하지만 SK 하이닉스는 아직 해당 미세 공정에 맞는 설계를 마칠 역량이 부족할 것으로 주장한다. 그에 대한 역량 부족이라는 병목에서, 이를 온전히 다 누릴 수혜주는 동사이다.

시장은 동사의 HBM을 바라볼 때 “실행될 수 있는 옵션 중 하나” 정도로 바라본다. 본 서에서는 동사의 HBM4 base die 백엔드 설계 수주가 “실행될 수 밖에 없는 수주”라고 주장하고, 해당 병목을 기술적, 구조적 관점에서 동사가 온전히 누릴 것이라 주장한다.

동사는 초대형 병목의 일부와, 소형 병목의 전부를 쥐면서 양쪽의 업사이드를 누리게 될 것이다.

1. 아이디어를 칩으로: ASIC시대의 구현 파트너 - 산업·기업 분석

1.1. 왜 지금 디자인하우스인가

AI ASIC으로 옮겨가는
무계중심

AI 반도체 시장의 중심은 범용 칩에서 고객 맞춤형 ASIC으로 옮겨가고 있다. 빅테크는 저마다 자사 모델과 데이터센터 환경에 맞는 자체 칩을 원하지만, AI ASIC은 설계도를 그리는 것만으로 완성되지 않는다. 연산 구조와 HBM 연결, 전력과 발열 조건, 패키징과 테스트, 그리고 양산 수율까지 모두 맞아떨어져야 비로소 실제 데이터센터에 투입될 수 있다.

용역 업체에서
구현 파트너로

그래서 디자인하우스의 역할도 달라지고 있다. 과거의 디자인하우스가 설계 용역에 가까웠다면, 지금은 고객의 칩 아이디어를 TSMC의 첨단공정과 패키징 위에서 실제 양산 가능한 제품으로 구현해내는 파트너에 가깝다. AI ASIC이 3nm 이하 공정과 HBM, CoWoS, 칩렛 구조를 동반하면서, 설계와 양산 사이를 잇는 구현의 난도가 그만큼 높아졌기 때문이다.

1.2. 시스템 반도체 밸류체인 훑아보기

시스템 반도체 산업의
분업 구조

시스템 반도체 밸류체인은 칩을 기획·설계하고, 이를 제조 가능한 도면으로 구현하고, 웨이퍼를 생산하고, 패키징·테스트로 최종 제품을 만드는 단계로 나뉜다. 통상 펌리스가 아이디어·아키텍처·핵심 IP를, 파운드리가 웨이퍼 생산을, 후공정 업체가 패키징·테스트를 맡는다. 다만 기능을 내재화하는 정도는 회사마다 다르다. NVIDIA 같은 대형 펌리스는 아키텍처와 핵심 IP를 자체 보유하고 파운드리에 제조만 맡기지만, 중소형 펌리스나 다수의 ASIC 개발 기업은 칩의 방향성은 있어도 이를 실제 칩으로 구현할 설계 역량과 경험이 부족한 경우가 많다.

디자인 하우스 :
설계와 제조 사이의
구현 파트너

디자인하우스는 바로 이 빈 공간을 메워 고객이 만들고 싶은 칩을 실제로 만들어낼 수 있게 돕는다. 고객이 칩의 요구사항을 제시하면, 디자인하우스는 이를 파운드리 공정에 맞는 설계로 옮기고, 필요한 IP를 통합하고, 검증과 생산 준비까지 이어받는다. 고객은 칩의 아키텍처와 제품 전략이라는 핵심을 쥐고, 디자인하우스는 그 설계를 실제 제조 가능한 반도체로 구현하는 일을 맡는 셈이다. 이 역할은 첨단 공정으로 갈수록 중요해진다. 회로 배치와 배선, 공정 대응의 난도가 높아지는 탓에, 고객이 내부 인력만으로 모든 과정을 감당하기는 점점 더 어려워지기 때문이다.

ASIC 고객사들이
디자인하우스를
찾는 이유

디자인하우스는 고객사의 칩 아키텍처를 소유하지 않는다. Broadcom·Marvell 같은 IP 중심 펌리스는 SerDes 등 강력한 설계 자산을 무기로 칩을 함께 만들어주지만, 그 대가로 고객은 이들의 IP와 플랫폼에 묶인다. 반면 디자인하우스는 칩을 구현하고 IP를 붙여 생산까지 연결할 뿐, 칩의 주도권은 고객에게 남긴다. 빅테크에게는 이 차이가 결정적이다. ASIC을 만드는 이유가 통제권 확보인데, NVIDIA 의존에서 벗어나려다 또 다른 공급자에 묶이면 그 명분이 흔들리기 때문이다.

도표 1-1. 시스템 반도체 밸류체인



출처: Taiwan Semiconductor, SMIC 1팀

도표 1-2. 디자인하우스와 펌리스의 차이

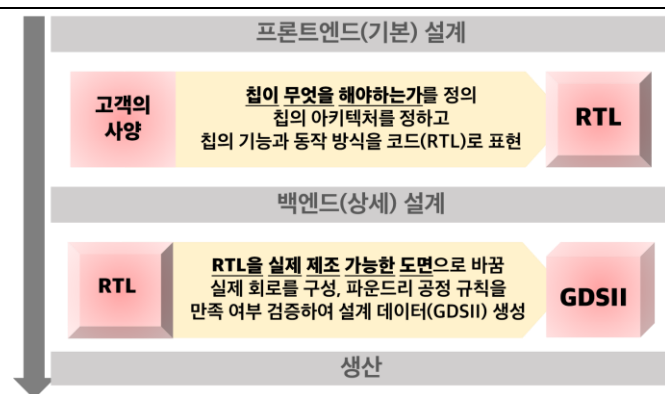
	전통 펌리스	디자인하우스
주요 기업	Broadcom, Marvell	GUC, Alchip
역할	하이퍼스케일러와 custom AI ASIC/XPU를 공동 개발, 양산 공급	고객의 ASIC 사양을 실제 제조 가능한 설계로 구현하고 양산까지 지원
칩 소유권	펌리스 기업	주문한 고객사
수익구조	NRE + custom chip 공급 + 핵심 IP	NRE + Turnkey 양산 대행 + 일부 IP
주요 고객	Tier-1 hyperscaler 중심	자체 설계 역량이 높은 빅테크, Tier-2 CSP, AI 스타트업
특징	칩의 프론트엔드부터 백엔드 설계, 패키징까지 주도: 벤더 종속성이 강해짐	자체 칩을 만들지 않으므로 고객사와 경쟁하지 않는 '중립성'

출처: 삼성전자 반도체 뉴스룸, SMIC 1팀

1.3 칩 설계 프로젝트와 디자인하우스의 매출 구조

프론트엔드 설계: 칩의 기능을 RTL로 정의	칩 설계 프로젝트는 프론트엔드(기본) 설계, 백엔드(상세) 설계, 생산 단계로 진행된다. 프론트엔드 설계는 칩이 무엇을 해야 하는가를 정의하는 과정이다. 고객의 사양에서 출발해 칩의 아키텍처를 정하고, 칩의 기능과 동작 방식을 코드로 표현한 설계도인 RTL 코드로 구현한 뒤, 의도한 기능이 논리적으로 제대로 수행되는지 검증한다. 이 단계는 고객사가 직접 맡는 영역이 많았지만, AI ASIC처럼 복잡한 칩에서는 초기 단계부터 디자인하우스와 협업하는 경우가 늘고 있다.
백엔드 설계: RTL을 GDSII로 바꾸는 과정	백엔드 설계는 RTL을 실제 제조 가능한 도면으로 바꾸는 과정이다. RTL을 바탕으로 회로를 구성하고, 칩 내부에 회로 블록을 배치하고, 블록 사이를 배선한다. 이어 타이밍·전력·면적 조건을 맞추고, 파운드리 공정 규칙을 만족하는지 검증한다. 이 과정을 통해 GDSII라는 최종 설계 데이터가 만들어지는데, 이는 파운드리가 웨이퍼 생산에 활용하는 제조용 도면에 해당한다. 첨단 공정으로 갈수록 이 단계의 난도가 높아지기에, 디자인하우스의 경험과 전문성이 빛을 발한다.
생산 단계: GDSII에서 최종 칩까지	백엔드 설계가 끝나 GDSII를 파운드리에 전달하면, 이때부터 설계도를 칩으로 만드는 생산 단계가 시작된다. 파운드리는 GDSII를 바탕으로 웨이퍼를 생산하고, 이후 패키징과 테스트를 거쳐 최종 칩을 완성한다. 이 과정은 공정 조건, 패키징 방식, 테스트 기준, 수율 관리가 모두 맞물려야 하기에 고객이 전 과정을 직접 관리하기는 어렵다. 디자인하우스는 파운드리와 후공정 파트너를 연결하고, 생산 일정과 기술 이슈를 조율하며, 최종 칩이 고객에게 납품되기까지를 관리한다. 이처럼 설계 구현부터 생산 관리까지 이어지는 구조를 턴키(Turnkey) 사업이라고 한다.
매출 구조: NRE/IP → Turnkey	디자인하우스의 매출 구조는 칩 개발 프로젝트의 진행 단계와 맞물려 있다. 초기 설계 단계에서는 NRE 매출이 발생하고, 고객 프로젝트에 특정 IP가 적용되면 IP 라이선스 매출이 더해진다. NRE는 프로젝트 초기에 발생하는 일회성 엔지니어링 대가로, 기본 설계와 상세 설계에 대한 용역비 성격이 강하다. 프로젝트의 착수와 진행을 보여주는 선행 지표이기도 하다. IP 라이선스 매출은 고객 프로젝트 수행 중에 디자인하우스가 보유하거나 중개하는 IP를 적용할 때 발생한다. 이후 칩이 양산 단계로 넘어가면 웨이퍼 생산, 패키징, 테스트를 아우르는 턴키 매출이 발생한다.
투자 포인트: NRE 수주가 양산 매출로 이어지는가	수익성 측면에서 보면 NRE와 IP 매출은 상대적으로 규모는 작지만 마진이 높고, 턴키 매출은 규모가 크지만 디자인하우스가 대신 부담한 웨이퍼·후공정 비용이 포함되기 때문에 마진은 낮은 편이다. 그러나 턴키 매출은 반복성과 규모 면에서 디자인하우스의 실적을 크게 좌우한다. 특히 AI ASIC처럼 대형 고객의 고성능 칩이 양산 단계로 이어지는 경우, 초기 NRE 수주가 시차를 두고 턴키 매출 증가로 연결된다. 따라서 디자인하우스 산업을 볼 때는 단기 매출뿐 아니라 NRE 수주의 질과 규모, 그리고 그것이 향후 양산 매출로 이어질 가능성을 함께 봐야 한다.

도표 1-3. 칩 설계 프로젝트



출처: AWS, SMIC 1팀

도표 1-4. 디자인하우스의 매출구조

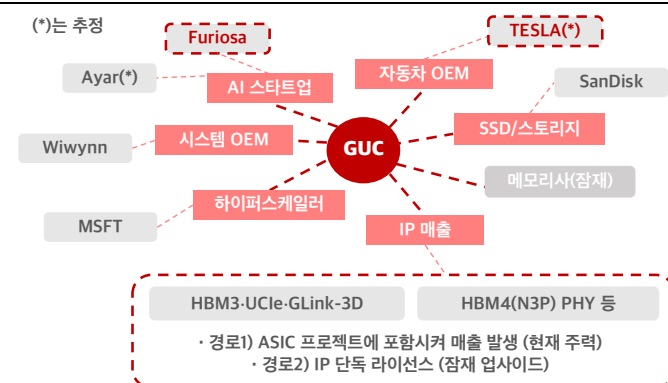
분류	NRE	Turnkey
발생 단계	초기 설계 단계	칩 양산 단계
발생 기간	일회성	반복
유형	프론트엔드/백엔드 설계에 대한 용역비	웨이퍼 생산, 패키징, 테스트를 포함한 매출
특징	프로젝트 착수와 진행을 보여주는 선행 지표	반복성과 규모 측면에서 디자인하우스의 실적을 크게 좌우
수익성	매출 규모는 작지만 마진이 높음	매출 규모가 크지만 마진은 낮음
IP 라이선스	디자인하우스가 보유/중개하는 IP를 고객 프로젝트에 적용할 때 발생	

출처: Akronic, SMIC 1팀

1.4. 동사를 소개합니다.

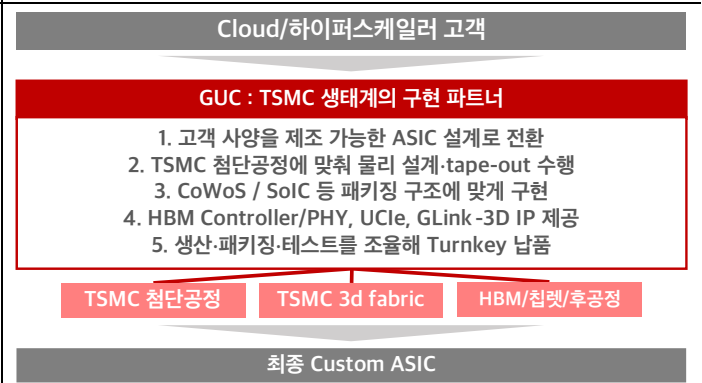
GUC: 고객 ASIC을 양산 가능한 칩으로 구현하는 회사	동사는 TSMC 생태계에 깊게 연결된 ASIC 디자인하우스다. 핵심 역할은 고객이 만들고자 하는 맞춤형 칩을 TSMC 공정 위에서 실제 양산 가능한 제품으로 구현해주는 것이다. 칩의 아이디어가 제품이 되기까지는 설계와 공정, 패키징, 테스트, 양산 관리가 모두 맞물려야 하고, 동사는 이 전 과정을 TSMC 생태계 안에서 하나로 연결해준다.
핵심 역량: 설계·패키징·연결 IP	동사는 핵심 역량은 세 가지로 요약된다. 첫째는 고객 ASIC 사양을 제조 가능한 설계로 전환하고 검증·양산 준비까지 지원하는 디자인 서비스 역량, 둘째는 TSMC 첨단공정·패키징에 최적화된 구현 역량, 셋째는 고속 연결용 IP다. 특히 세 번째 역량의 무게가 최근 커지고 있다. AI ASIC의 병목은 연산 성능만이 아니라 데이터 이동 속도에서도 발생하기 때문이다. 동사가 보유한 HBM Controller·PHY, GLink-3D 같은 연결용 IP는 고객 칩이 옆에 붙는 메모리와 빠르게 데이터를 주고받고, 칩을 나란히 붙이거나 쌓는 첨단 패키징 안에서도 칩끼리 막힘없이 통신하게 해준다.
Turnkey: 설계 프로젝트가 양산 매출로 커지는 구조	이렇게 설계부터 양산까지를 잇는 역량은 동사의 매출 구조에 그대로 반영된다. 초기 설계 단계에서는 NRE 매출이 발생하고, 칩이 양산 단계로 넘어가면 Turnkey 매출로 확대된다. 동사의 설계가 끝나면 TSMC의 첨단공정 라인과 후공정 파트너를 통해 웨이퍼 생산·패키징·테스트를 조율하고 최종 칩을 고객에게 납품한다. 이 원스톱 구조가 가능한 근본 이유는 동사가 TSMC 공정과 패키징 capacity에 직접 연결된 위치에 있기 때문이다. 고객 입장에서는 설계부터 양산까지를 TSMC 생태계 안에서 한 번에 해결할 수 있고, 동사로서는 고객 프로젝트가 양산으로 전환될수록, 그리고 TSMC 첨단공정으로 이동할수록 매출 규모가 커지는 구조다.
주력 파이프라인: Cloud/AI 인프라향 맞춤형 칩	동사의 주요 파이프라인은 클라우드 고객들이 직접 개발하려는 AI 서버용 맞춤형 칩이다. 동사의 Cloud 매출은 AI 연산칩뿐 아니라 서버용 CPU, 서버 관리칩, 특수 목적 연산칩 등에서 두루 발생한다. 모두 데이터센터 안에서 연산을 더 빠르게 하거나, 서버를 더 효율적으로 운영하거나, 데이터 이동 병목을 줄이기 위한 칩들이다. 실제로 1Q26 기준 Cloud 부문이 매출의 81%, 미국 매출 비중이 68%에 달해, 동사 실적의 중심이 미국 클라우드·데이터센터에 있음을 보여준다.
확장성: AI 칩에서 데이터센터 연결칩·차량용 칩으로	현재 실적은 클라우드 칩에 집중돼 있지만, 중장기 성장의 방향은 더 넓다. 동사의 강점인 '연결용 IP'가 AI 시스템 곳곳으로 확장되고 있기 때문이다. 칩과 칩을 잇는 통로(UCIe), 칩과 메모리를 잇는 통로(HBM4 PHY), 그리고 빛으로 데이터를 나르는 차세대 광 연결(CPO, 내년 양산 예정)까지, AI 칩이 데이터를 주고받는 거의 모든 길목에 동사의 IP가 들어갈 수 있다. 여기에 Tesla 협력 가능성이 있는 차량용 ASIC까지 더해진다. 이 모든 확장의 바탕은 하나다. TSMC 자회사로서 신공정에 가장 먼저 접근하고, 그 위에서 IP를 미리 검증해둔 데서 오는 구조적 우위다.

도표 1-5. 동사의 고객사



출처: 언론종합, SMIC 1팀

도표 1-6. TSMC 생태계 내 동사의 역할



출처: 월간 전기부품, SMIC 1팀

1.5. 왜 지금 동사인가

왜 지금인가

AI ASIC 수요가 커진다는 것은 새삼스러운 이야기가 아니다. 빅테크의 자체 칩 개발은 이미 수년째 이어져 온 흐름이고, 그것만으로는 *왜 지금 동사를 보아야 하는가*에 답이 되지 않는다. 진짜 질문은 따로 있다. 2024년까지 정체했던 동사의 실적이 2025년 들어 전년 대비 36%, 2026년 1분기 63% 증가로 갑자기 방향을 튼 이유는 무엇인가. 그 답 안에 동사가 지금 통과하고 있는 변화가 들어 있다.

2025년,
심어둔 것을 거두기
시작하다

첫째, 과거 수주한 대형 프로젝트들이 양산 단계에 들어섰다. 디자인하우스의 매출은 설계를 수주하는 시점(NRE)과 그것이 양산(턴키) 매출로 터지는 시점 사이에 1~2년의 시차가 있다. 2024년 동사의 정체는 수요가 없어서가 아니라, 과거 따둔 프로젝트들의 양산 시점이 아직 도래하지 않았기 때문이었다. 그 시차가 2025년부터 해소되며, 구글 Axion CPU 등 수년 전 수주한 프로젝트들이 양산 단계에 진입했다. 2025년 연간 매출이 전년 대비 36% 늘며 사상 최대를 기록하고, 1Q26 Turnkey 매출이 73% 증가한 것은 이 전환의 결과다.

고객군의 등급이 올라서
다 : AI 가속기 본류를
향해

둘째, 동사 고객군의 등급이 올라서고 있다. 그동안 동사가 확보한 클라우드 일감은 대체로 자체 칩 가운데서도 CPU(구글 Axion)나 주변 칩, 혹은 AI 스타트업(Furiosa)향이였다. 빅테크의 AI 가속기 본류(TPU, Trainium, MTIA 같은 핵심 연산 칩)는 팹리스인 Broadcom·Marvell과 경쟁사 Alchip이 가져갔고, 시장은 이를 근거로 동사를 'AI 본류에서 한 발 비껴선 디자인하우스'로 평가해 왔다. 그런데 이 구도가 바뀌는 길목이 열리고 있다. Tesla의 차세대 AI 칩(AI5·AI6)을 비롯해, 하이퍼스케일러급 자체 AI 가속기 수주가 동사의 시야에 들어오기 시작한 것이다.

1Q26 : 매출과 이익
둘다 점프 !

이 두 가지 변화는 1Q26 실적에서 하나로 모인다. 1분기 매출은 전년 대비 63% 증가했는데, Turnkey 매출이 73% 늘어난 것은 물론, 마진율이 높은 NRE·IP 매출도 21% 함께 증가했다. 두 부문이 나란히 성장한 덕분에, 4Q25에 19%까지 늘렸던 매출총이익률은 27%로 회복됐다. 턴키 매출이 커질수록 외형은 불어나도 수익성은 깎이던 기존 패턴에서 벗어나, 외형 성장과 수익성 개선이 처음으로 함께 나타난 것이다. 과거 수주한 프로젝트를 양산으로 거둬들이기 시작했고, 고객의 무게중심이 고부가 영역으로 옮겨가고 있다는 것을 한분기 안에 함께 보여준 셈이다.

그리고 다음 동력
:HBM4

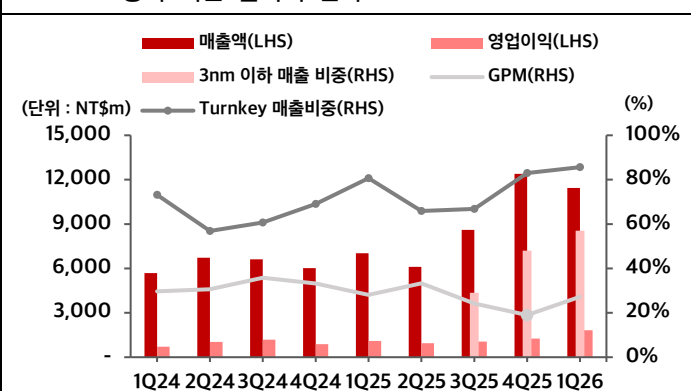
마지막으로, HBM4 전환과 함께 동사 앞에 새로운 기회가 열리고 있다. AI ASIC에서 연산부와 메모리를 연결하는 일은 칩 성능을 좌우하는데, HBM4 세대로 넘어오면서 이 작업의 난도가 크게 높아진다. 그만큼 메모리를 안정적으로 붙이고 첨단 패키징 안에서 구현하는 역량의 가치도 커진다. 동사는 관련 IP를 이미 확보했으며, 이는 후발주자가 쉽게 따라오기 어려운 강점이다. 앞의 두 변화가 이미 실적으로 확인된 것이라면, 세 번째는 앞으로 동사의 업사이드를 키울 변화다.

도표 1-7. 동사의 재평가의 3가지 변화

1	양산 전환
· NRE 수주와 Turnkey 매출 간 1~2년의 시차 존재 · 2025년부터 구글 Axion CPU 등 대형 프로젝트 양산 단계 진입	
2	고객군 업그레이드
· Tesla AI5·AI6 등 하이퍼스케일러급 AI가속기 수주 가능성이 가시화 · 기존 클라우드향 일감은 CPU, 주변 칩 비중이 높았음	
3	HBM4 신규 기회
· HBM4 전환으로 인터페이스 및 첨단 패키징 구현 난도 상승 · 동사는 관련 IP를 이미 확보하고 있어 후발주자 대비 강점 보유	

출처: Yahoo Finance, SMIC 1팀

도표 1-8. 동사 최근 실적의 변화

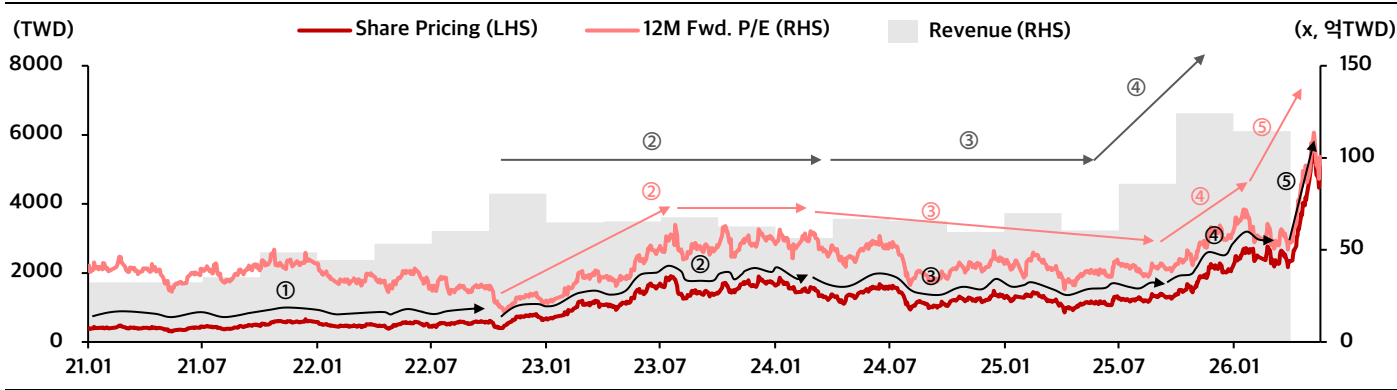


출처: DART, SMIC 1팀

2. 만년 후보에서 본진으로 - 투자 아이디어

동사의 최근 5년 주가는 단순한 펀더멘털 개선보다 시장이 동사를 무엇으로 정의했는가의 변화였다. 시장은 동사를 일반 ASIC 디자인하우스, AI ASIC 후보, 만년 수주 후보, 그리고 AI ASIC 수혜주로 차례로 다시 정의했고, 멀티플은 그 정의가 바뀔 때마다 크게 움직였다.

도표 2-1. 동사 주가 분석



출처: SMIC 1팀

- ① **일반 ASIC 디자인 회사** (~22년 중반): 동사 매출은 네트워킹/SSD/산업용 등 일반 ASIC 설계 서비스 중심으로 Bitmain 등 비트코인 채굴기향 ASIC 수주가 더해졌다. BTC 매출은 코인 가격 사이클에 직접 연동되어 가시성이 낮았기에 멀티플은 일반 디자인 서비스 회사 수준에 머물렀다.
- ② **AI ASIC 수주 후보** (22년 하반기~24년 상반기): ChatGPT 출시 이후 hyperscaler 자체 커스텀 칩 수요가 부각되며 ASIC 디자인하우스 섹터 전반의 멀티플 리레이팅이 시작되었다. 1차 사이클의 직접 수혜자는 AWS 1세대 Trainium의 백엔드 디자인과 Turnkey 메가딜을 단독 수주한 Alchip으로, 가파른 실적 상승을 기록하며 섹터 주도주로 떠올랐다. 동사는 직접적인 메가딜은 없었으나 차기 수주 후보로 거론되며 AI ASIC 수혜 기대감을 업고 높은 멀티플을 유지하였다.
- ③ **메가딜 미성사로 인한 디스카운트** (24년 상반기 ~ 25년 중반): 동사는 IP나 NRE 등 설계를 꾸준히 수주하였으나 실제 Turnkey 양산으로 이어지는 메가딜은 끝내 부재했고, 24년 매출이 역성장을 기록하며 시장 우려가 표면화되는 가운데 비트코인향 잔존 매출, 고객 집중 우려, Turnkey 중심의 낮은 마진 구조가 겹치며 AI 프리미엄이 상당 부분 축소되었다.
- ④ **Google과 Tesla가 이끄는 펀더멘털 회복** (25년 하반기 ~ 26년 3월): Google향 실적 검증과 Tesla향 기대감 선반영이 동시에 진행되며 동사 주가는 펀더멘털 회복 구간에 진입했다. Google Axion CPU는 24년 7월 수주가 확인됐지만, 당시 고객명이 익명이고 Turnkey 3 저마진 구조로 멀티플 확장은 제한적이었다. 그러나 25년 10월 본격적인 매출 ramp로 Top 3 고객 등급이 확인되고, 언론 보도로 고객사가 Google로 특정되며 펀더멘털이 완료됐다. 여기에 과거 수주한 "US Auto OEM Datacenter AI ASIC"이 Tesla AI5로 기대되면서 기대감이 선반영되었고, 주가는 고공행진을 이어나갔다.
- ⑤ **잔존 우려를 해소하며 AI ASIC 수혜주로** (26년 4월): 실적 모멘텀 지속, Tesla 실재성 확인, 마진 정상화가 겹치며 AI ASIC 수혜주의 재평가가 본격화됐다. 4/7 발표된 3월 매출 호조로 상승 랠리가 시작됐고, 4/15 Tesla의 AI5 tape-out 발표와 4/19 언론의 GUC 디자인 어시스트 보도로 Tesla 수주의 실재성이 확인됐다. 이어 4/30 1Q26 실적에서 Tesla AI5 조기 tape-out에 따른 고마진 IP 관련 NRE 인식으로 OPM이 4Q25 10.1%에서 15.9%로 정상화됐다.
- ⑥ **반복 가능한 AI ASIC 수혜주** (현재): 동시에 Google 차세대 CPU 추가 수주가 기대되면서, 동사 매출은 반복 가능한 AI ASIC 수혜로 재평가 국면에 돌입했다. 여기에 CPO, HBM 기대감이 더해졌다.

본 서는 향후 세 가지 트리거가 동사의 추가 실적 성장과 멀티플 확장을 견인할 것으로 판단한다.

Google, Tesla, ASIC의
견조한 하방 지지와
New 업사이드 가능성

첫 번째, 기존 수주한 Google, Tesla 전방산업 호조에 힘입어 견조한 실적을 견인할 전망이며, 양 사 모두 차세대 칩 사이클에 진입하며 Furiosa 트랙레코드와 결합되어 신규 ASIC/가속기 후속 수주 가시성이 동시에 상승하고 있다. Alchip이 AWS Trainium 수주 이후 후속 디자인 win 공백으로 멀티플 디레이팅을 겪고 있는 것과 대조적으로, 동사는 Google 차세대 칩 후속 수주가 가능성이 매우 높아졌고 Tesla향 후속 프로젝트 가시성도 동반 상승하면서 시장의 기대감을 충족할 전망이다. (Point ②)

HBM4E 설계수주란
강력한 트리거

두 번째, HBM4 전환에 따른 Base Die 로직화 및 파운드리 외주화의 동시 진행으로 SK 하이닉스의 백엔드 설계에 심각한 병목이 발생했고, 동사는 HBM4E 백엔드 설계 NRE를 수주할 것이다. SK하이닉스는 TSMC N3 백엔드를 자체 구현하는 과정에서 DRC 폭증과 LDE 반복 보정 부담을 동시에 떠안고 있으며, N3 layout 경험치도 제한적이다. 여기에 NVIDIA향 HBM4 속도 상향에 따른 재설계가 HBM4E 신규 개발 캐파까지 잠식하고 있다. 이 구간에서 N3 설계 경험과 PHY 역량을 보유한 TSMC 자회사 GUC는 SK하이닉스, TSMC 원팀 구조의 핵심 설계 보완재가 될 것이다. (Point ①)

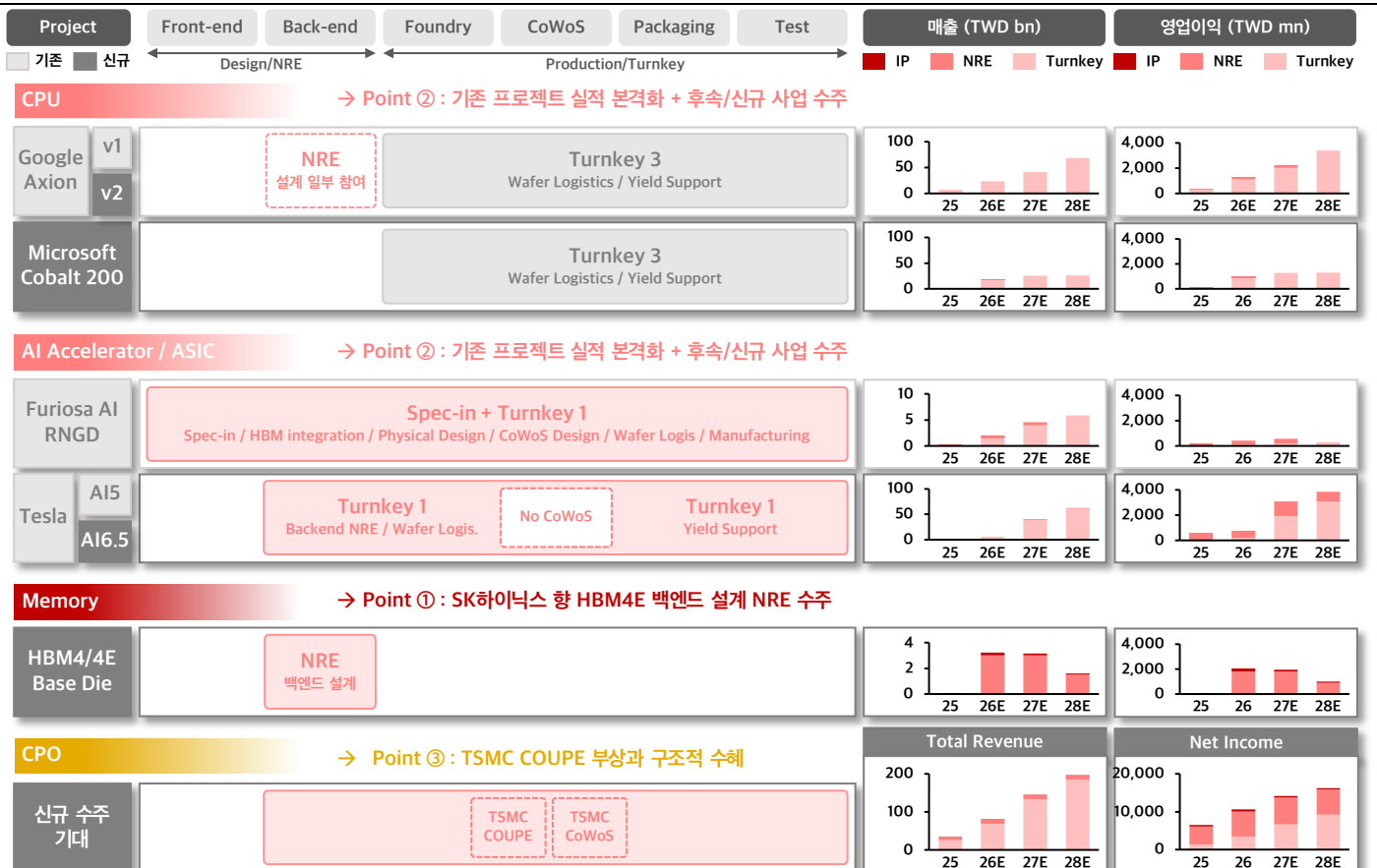
TSMC CPO 공정으로
미래에도 빛이 창창

세 번째, CPO 시장 개화와 함께 TSMC COUPE가 사실상의 표준으로 부상하면서, 디자인하우스 수혜는 구조적으로 확대될 전망이다. COUPE는 EIC, PIC, 어드밴스드 패키징을 단일 스택에 통합하는 고난도 공정으로, 공정 이해도와 silicon photonics 통합 레퍼런스를 동시에 갖춘 업체가 필요하다. 동사는 Ayar Labs와 Lightmatter 협업을 통해 양대 광학 IP 진영의 통합 노하우를 선제적으로 확보했으며, TSMC 자회사로서 COUPE 공정 이해도까지 보유해 CPO 외주 수요 집중 수혜가 기대된다. (Point ③)

셋 중 아무거나 터져도
주가는 간다

이상의 3가지 포인트가 동시에 작동할 경우, 동사는 (1) 기존 AI ASIC recurring 기대감 충족을 통한 펀더멘털 안정성 확보, (2) HBM base die 신규 수주를 통한 멀티플 상향 계기 확보, (3) CPO 대형 수주 기대감을 통한 장기 기대감 확장의 3중 트리거를 차례로 발화시킬 수 있다.

도표 2-2. 동사 프로젝트 파이프라인 분석



출처: SMIC 1팀

3. Hi, Hynix - Point ①

HBM4 전환은 베이스 다이 로직화와 제조 파운드리 외주화가 동시에 일어나는 구조적 변곡점이다. 이 지점에서 산업은 백엔드 설계 역량이라는 병목에 부딪혔고, 동사가 그 수해를 온전히 누릴 것이다.

3.1. 파운드리로 전장을 옮긴 HBM Base Die

여행용 어댑터처럼
간단한 역할의 HBM3

HBM3/3E까지의 Base Die는 복잡한 연산이나 제어보다는 신호 연결과 보조 기능에 집중했기에, 구형 로직을 사용하는 자체 메모리 팹에서도 충분히 제작할 수 있었다. Base Die의 핵심 역할은 ① Core Die에서 TSV를 타고 내려온 수천 개의 신호를 인터포저 핀 배열에 맞게 재배선하고, ② PHY 입출력 회로를 통해 디지털, 전기 신호를 서로 변환하여 외부 칩과 데이터를 주고받는 것이었다. 여기에 ③ 각 Core Die에 전원을 분배하고 전압 강하를 방지하는 PDN, ④ 기본적인 테스트·리페어 로직이 더해졌다.

대역폭 늘리기 위해
차선을 두배로

한편 HBM4 세대로 넘어오며, 더 높은 대역폭을 확보하기 위해 인터페이스 폭이 두 배로 넓어졌다. 전체 대역폭은 '핀당 속도'와 '인터페이스 폭'의 곱으로 결정되는데, HBM4는 핀당 속도를 무리하게 끌어올리는 대신 데이터 통로인 인터페이스 폭(I/O) 자체를 1,024비트에서 2,048비트로 두 배 확장하는 방식을 택했다. 그 결과, 스택당 대역폭은 HBM3E의 약 1.2TB/s 수준에서 2TB/s 이상으로 올라갔다.

12nm 두께 연필로
그리던 설계도
3nm 샤프로 그리자

HBM의 인터페이스 폭이 두 배가 되면서 칩은 더 넓은 PHY와 정교한 PDN이 필요해졌고, 기존 메모리 팹은 이 구조를 감당할 수 없어 제조사는 Base Die를 로직 파운드리로 옮기게 되었다. I/O가 두 배가 되면 PHY 면적과 채널도 늘고, 칩이 동시에 스위칭하는 채널이 많아짐에 따라 제조사는 신호 잡음과 전압 강하를 막고자 PDN을 더 촘촘히 깔아야 한다. 이 촘촘한 PDN은 금속 배선층을 여러 겹 요구하는데, 기존 메모리 공정은 쌓아올릴 수 있는 금속층이 적어 해당 밀도의 회로를 담아낼 수 없다. 이에 따라 Base Die 제작에서의 미세공정은 필수가 되었고, 파운드리 이전이 불가피해진 것이다.

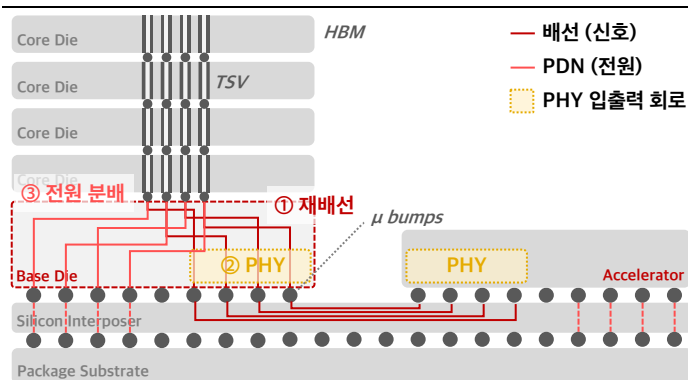
커스텀 로직 기능하는
똑똑한 Base Die

제조사가 Base Die를 파운드리 공정으로 옮기면서, 여기에 연산·제어 및 고객 맞춤형 커스텀 로직까지 통합하려는 수요가 생겨났다. Base Die는 위에 쌓인 각 Core Die의 읽기/쓰기/오류정정을 제어해 스택 전체의 성능/안정성을 좌우하는 자리로, 해당 로직을 통합하면 시스템 효율을 크게 끌어올릴 수 있기 때문이다. 이에 고객들은 스케줄링, 어드레싱, 데이터 압축은 물론, 메모리 옆에서 처리하는 near-memory 연산까지 Base Die에 담아달라 요구하기 시작했다. 그 결과 HBM4 Base Die는 메모리 컨트롤러와 커스텀 로직을 품는 핵심 칩으로, HBM은 표준 규격품에서 맞춤형 로직 메모리로 변했다.

어드밴스드 패키징까지,
파운드리로의 이전은
선택 아닌 필수

베이스 다이에 로직을 얹는 흐름은 패키징 난도까지 함께 끌어올려, 메모리 제조사에 대한 파운드리 의존을 한층 심화시킨다. 2,048비트에 달하는 넓은 데이터 통로를 인터포저 위에서 처리하려면 고밀도 배선이 필요하고, 이는 TSMC의 CoWoS-L 같은 어드밴스드 패키징을 사실상 필수로 만든다. 즉, 로직화와 어드밴스드 패키징이 맞물리며, HBM4부터는 파운드리 생태계와의 협업이 필수적이다.

도표 3-1. 기본 HBM Base Die 구조



출처: SMIC 1팀

도표 3-2. HBM3/3E와 HBM4/4E 비교

	HBM3		HBM4	
	HBM3	HBM3E	HBM4	HBM4E
I/O	1024 bit		2048 bit	
대역폭	~0.8TB/s	~1.2TB/s	~2.0TB/s	~4.0TB/s
Base Die 역할	단순 PHY-TSV 라우터		메모리 컨트롤러 일부 커스텀 로직	
Base Die 제조	메모리사 자체 팹		파운드리	

출처: SMIC 1팀

3.2. SK하이닉스 백엔드 설계 역량 쇼티지

공정에 맞는 설계,
설계에 맞추는 공정

백엔드 설계는 생산 공정에 따라 결과가 달라지기 때문에 Base Die의 경쟁력은 결국 공정과 설계 간 긴밀함이 좌우한다. 표준셀 라이브러리, 트랜지스터 특성, 배선 RC, 설계룰(DRC) 같은 공정 정보는 노드 및 팹에 따라 다르며, 같은 RTL이라도 해당 정보들이 변경되면 백엔드를 처음부터 다시 설계해야 할 만큼 제조공정과 맞물려 있다. 특히 DTCO (Design-Technology Co-Optimization) 단계에서는 설계 피드백이 공정 튜닝으로, 공정 변경이 다시 설계 가이드라인으로 돌아오는 사이클이 반복되기에 설계/공정 조직간 소통 긴밀도가 품질과 일정을 좌우한다.

갑자기 외부 공정에
맞춰 설계하라 하시면...

Base Die 제조가 메모리 팹에서 파운드리로 옮겨지면서, 백엔드 설계가 핵심 병목으로 급부상했다. 첫째, 파운드리 공정으로 전환되면서 해당 공정 정보에 맞춰 백엔드를 처음부터 재설계해야 하는 부담이 생겼다. 둘째, 기존에는 설계와 공정이 메모리 팹 내 단일 조직으로 묶여 자연스럽게 피드백을 주고받으며 최적화되어 왔으나, 이제는 메모리 사업부의 설계 조직이 외부 파운드리 공정 조직과 소통해야 하는 구조로 바뀌게 되었다.

이번엔 수율 챙기고
4E부터 미세공정
하겠다는 SK

HBM4/4E Base Die 생산에서 삼성전자는 자사 파운드리를, SK하이닉스는 TSMC를 파트너로 선택했다. HBM4의 경우 삼성전자는 자사 4nm 로직 공정 Base Die에 6세대 1c Core Die를, SK하이닉스는 TSMC 12nm Base Die에 5세대 1b Core Die를 결합했다. 이에 더해 삼성전자는 신규 1c 다리와 4nm 미세공정의 조합으로, 속도 헤드룸/전력효율에서 강점을 가지지만, SK하이닉스는 검증된 1b 다리와 MR-MUF 패키징을 바탕으로, 수율과 양산 트랙레코드에서 강점을 가진다.

마침 내 바로 옆이
설계 같이 하고
만들어줄 친절한 친구

삼성전자는 같은 회사 안에 파운드리 사업부가 있어 백엔드 설계 병목을 그룹 내 원팀 구조로 해소할 수 있다. 메모리 사업부가 프론트엔드 설계를 주도하고, 메모리 사업부 주도 아래 파운드리 사업부가 협력하는 구조로 백엔드 설계를 진행한다. 이후 공정관리/양산까지 파운드리 사업부가 담당하는 전 과정이 이어진다. 이에 따라 삼성전자는 Base Die가 파운드리로 옮겨갔음에도 피드백(DTCO)이 내부에서 끊기지 않고, 일관된 조율이 가능해 해당 병목에서 유리하다.

올며 겨자먹기로
바다 건너 저 멀리
불친절한 장인과

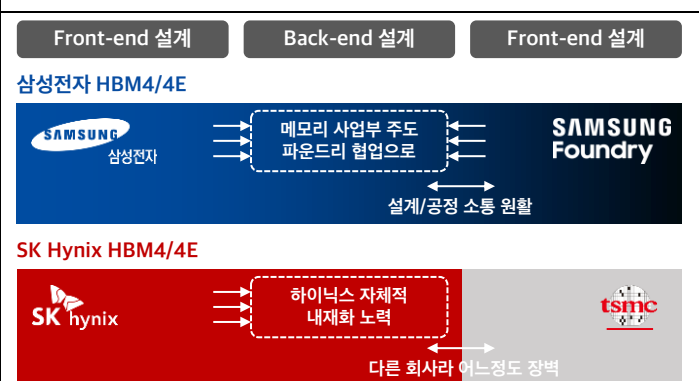
반면 SK하이닉스는 TSMC와의 협업으로 해당 병목을 해결해야 하기에, 백엔드 설계와 피드백 부담이 동시에 발생한다. TSMC는 생산에만 집중하는 조직 구조를 가지고 있기 때문에 설계 보조 서비스를 제공하지 않고, 오직 표준셀 라이브러리, 설계 인에이블먼트 등의 기본적인 도구 환경만을 제공한다. 즉, 삼성 파운드리는 해당 공정에 익숙한 엔지니어가 메모리 사업부와 함께 백엔드 설계를 진행하며 공정 맞춤 설계 역량을 자연스럽게 축적할 수 있는 반면 SK하이닉스는 TSMC가 제공한 기본적 틀만으로 TSMC 선단 노드 백엔드 구현 역량을 스스로 내재화해야 한다. 이에 더해, 설계 조직과 공정 조직이 다른 회사이다 보니 두 조직 간 즉각적인 피드백이 어렵다.

도표 3-3. HBM4/4E 세대별 스펙 비교

	SAMSUNG 삼성전자		SK hynix	
	HBM4	HBM4E	HBM4	HBM4E
Core Die	1c 다이		1b 다이	1c 다이
Base Die	삼성 파운드리 4nm		TSMC 12nm	TSMC 3nm
Packaging	TC-NUF	하이브리드 본딩	Adv. MR-MUF	

출처: SMIC 1팀

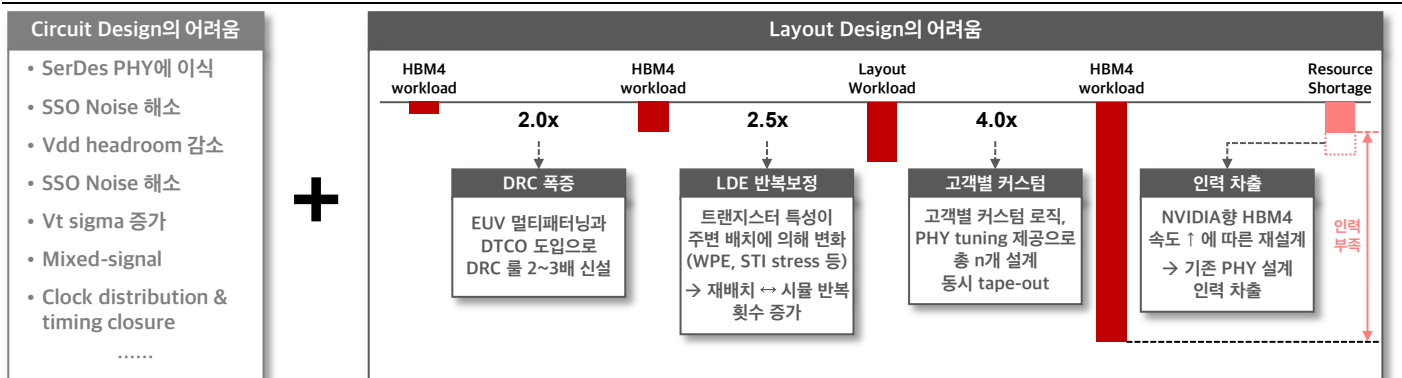
도표 3-4. HBM 2개사 협업 구조 비교



출처: SMIC 1팀

진짜는 4E 3나노부터	SK하이닉스는 HBM4 N12 백엔드까지는 무난히 완주했으나, HBM4E N3는 설계 복잡도부터 차원이 다르다. 기술적 난제는 물론, 본서가 주목하는 layout 설계의 절대 작업량 폭증도 동반된다.
① Layout 작업량 증가	먼저 DRC로 인해 layout 작업량이 급증한다. N12는 EUV 도입 이전 성숙 노드였던 반면, N3는 EUV 멀티패터닝과 DTCO 적용으로 설계룰(DRC)이 2~3배로 늘면서 layout 작업량 자체가 지수적으로 확대된다. 특히 디지털 로직은 파운드리 DRC-free 표준셀 배치로 대부분 커버되지만, PHY는 메모리사의 속도 노하우가 반영되는 custom layout 영역이기 때문에 폭증한 DRC를 설계인력이 직접 수작업으로 풀어야 한다. 즉, 이는 시간과 인력으로만 해결 가능한 병목인 셈이다.
a. DRC 증가로 layout 복잡도 급증	
b. LDE로 인한 iteration 폭증	여기에 LDE 특성으로 인해 layout 반복 보정 부담까지 동시에 커진다. N3에서는 트랜지스터 동작이 주변 배치에 따라 달라지기 때문에 (LDE; Layout-Dependent Effect), 같은 회로라도 layout에 따라 silicon의 결과가 달라져 재배치와 시뮬레이션 반복 횟수가 배로 늘어난다.
Layout 부담은 a와 b의 곱	Layout 부담은 본래 누적된 경험치로 상쇄되는 영역이지만, SK하이닉스에는 해당 완충 장치가 없다. Layout 패턴별 노하우는 매뉴얼이 아닌 실제 tape-out과 silicon feedback을 통해서만 쌓을 수 있는데, N3 선단공정에 처음 진입하는 SK하이닉스는 해당 경험치 없이 작업량 폭증(DRC)과 반복 보정 부담(LDE)을 모두 정면으로 떠안아야 한다.
② 고객 커스텀 로직의 각기 다른 layout	Base Die의 커스터마이징은 SK하이닉스가 감당해야 할 개발 난이도를 고객 수만큼 증폭시킨다. 전술했듯 HBM3까지는 단일 다이로 여러 고객을 대응했지만, HBM4E에서는 고객별로 커스텀 로직 및 PHY 튜닝을 제공해야 한다. SK하이닉스는 이미 NVIDIA Vera Rubin Ultra, Google TPU, Microsoft 자체 ASIC, Broadcom 등 복수 하이퍼스케일러로부터 커스텀 Base Die를 수주한 상태이기 때문에 사실상 서로 다른 N3 Base Die를 동시에 tape-out해야 하는 구조를 가지고 있다.
③ 재설계 작업 투입된 그나마 있는 설계 인력	HBM4 속도 상향에 따른 재설계 부담은 SK하이닉스의 HBM4E N3 신규 개발 캐파를 추가로 침범한다. NVIDIA가 차세대 GPU 플랫폼을 위해 HBM4 목표 속도를 8~10Gbps에서 11Gbps 이상으로 끌어올리면서, 메모리사들은 기존 설계의 성능을 다시 높여야 하는 상황에 놓였다. 이때 Core Die를 수정하면 마스크 교체와 수율 재확보 부담이 크기에, 가장 효율적인 대응은 Base Die의 PHY와 주변 회로 최적화를 통해 속도 요구를 맞추는 것이다. 결국 SK하이닉스의 PHY 설계 인력은 당장 매출이 걸린 HBM4 재설계에 우선 투입될 수밖에 없다. 이는 동시에 진행해야 하는 HBM4E N3 신규 Base Die 작업의 가용 인력을 줄여 병목을 키우는 결과를 낳는다.
여러 병목 속에서도 공정 포기 못할 이유	이런 부담에도 SK하이닉스가 N3를 포기할 수 없는 이유는, 차세대 HBM의 커스텀 경쟁력이 결국 국 공정 미세화에 의해 좌우되기 때문이다. Base Die에 담을 수 있는 커스텀 로직의 양은 트랜지스터 밀도에 비례하기에, 미세공정일수록 같은 면적에 더 많은 기능을 집적할 수 있다. 하이퍼스케일러가 Base Die 커스터마이징을 통한 시스템 최적화를 핵심 가치로 두는 상황에서, 공정 후퇴는 곧 기술 리더십 포기과 같다. 삼성전자가 N4를 선택한 만큼, SK하이닉스에 후퇴는 없다.

도표 3-5. 백엔드 설계 역량의 소진



출처: SMIC 1팀

3.3. 동사 = TSMC 공정 맞춤 백엔드 설계 전문가

NVIDIA의 압박 속
주도권을 뺏기지 않을
SK 하이닉스

NVIDIA가 HBM4E base die 설계를 직접 하려고 진입하는 상황에서, SK하이닉스는 주도권을 놓치지 않기 위해 어떻게는 N3 백엔드를 설계할 것이다. NVIDIA가 Base Die의 설계권을 쥐게 되면 SK하이닉스는 그에 맞는 Core Die를 설계해야 하기에 HBM의 주도권 자체가 NVIDIA에게 넘어갈 수 있다. SK하이닉스 입장에서 N3 백엔드 설계를 포기할 수 없는 이유이다.

도움을 청할 곳은
디자인하우스 뿐

SK하이닉스가 N3 백엔드 부담을 덜 수 있는 현실적인 방법은, 선단공정 경험이 있는 외부 디자인하우스를 끌어들이는 것인데, 후보군은 사실상 GUC(동사)와 Alchip으로 좁혀진다. 병목은 결국 N3 layout 경험치 부족에서 비롯되는 만큼, 파트너는 같은 노드에서 tape-out을 충분히 쌓아온 TSMC VCA(Value Chain Alliance) 최상위 디자인하우스여야 한다. 양사 모두 N3 ASIC 양산 이력과 함께, TSMC의 선단공정·어드밴스드 패키징 로드맵에 발맞춘 설계 캐파를 확보하고 있다.

Why GUC ①
PHY 등 관련 백엔드
설계 경험 다수

두 후보 중 동사는 단순한 N3 양산 경험을 넘어, Base Die 외주에 필요한 PHY/인터커넥트 IP 역량에서 Alchip을 앞선다. Base Die 설계의 가장 핵심 병목인 PHY 매크로의 custom layout과 인터커넥트 구현에서, 동사는 N3P 기반 HBM4 PHY IP에 대해 이미 실리콘 검증까지 마쳤고, UCle/GLink-3D 같은 3D 인터커넥트 자산까지 보유하고 있다. 반면 Alchip은 HBM 인접 라인업이 없다. 결국 PHY 구현 노하우와 HBM 인접 IP를 동시에 쥐고 있는 동사인 것이다.

Why GUC ②
SK-TSMC 동맹과
TSMC 자회사 GUC

단순히 기술 우위뿐만 아니라 협업 구조 측면에서도 SK하이닉스의 외부 디자인하우스 보완은 동사가 유리하다. GUC는 TSMC가 약 35% 지분을 보유한 자회사이자 TSMC만을 유일 파운드리로 쓰는 ASIC 설계 회사로, TSMC의 어드밴스드 노드/패키징 로드맵에 가장 먼저 들어간다. SK하이닉스와 TSMC가 HBM4를 위해 이미 원팀 체제를 구축한 만큼, 독립 디자인하우스인 Alchip보다는 TSMC 생태계에 있는 동사를 선택되는 것이 훨씬 자연스럽다.

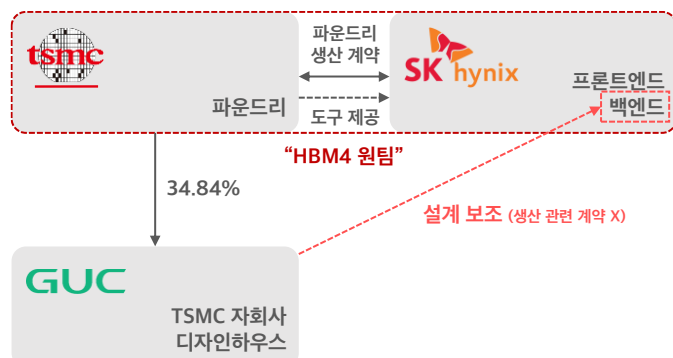
NRE와 IP의 결합으로
찍힐 매출

동사의 SK하이닉스향 매출은 고마진 NRE와 부분 IP 라이선스 중심의 구조가 될 가능성이 높다. Base Die 커스텀 로직은 SK하이닉스가 고객 lock-in의 핵심 자산으로 여기는 영역이고, wafer 발주도 TSMC와 직접 계약으로 이뤄진다. 따라서 동사가 양산 wafer 매출까지 인식하는 turnkey 모델보다는, PHY·layout 등 병목만 보완하는 협업 형태가 현실적이다. Turnkey 대비 건당 매출 규모는 작겠지만, 여러 고객사의 Base Die를 설계하며 고마진 NRE 매출을 인식할 것이다.

SK 하이닉스 완료.
Micron 드가자~

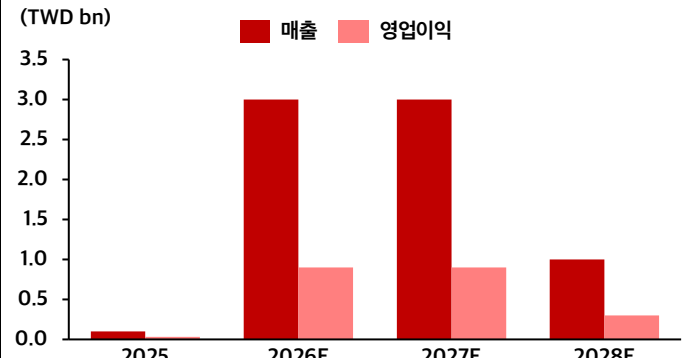
동일한 외부 보완 구조는 Micron에도 적용될 가능성이 높다. Micron 역시 HBM4 11Gbps 상향과 선단 Base Die 진입 과정에서 DRC, LDE, 수율 경험치 부족이라는 동일한 병목을 마주한다. 특히 로직 공정 기반 Base Die 경험이 제한적이고 자체 파운드리도 없어, TSMC 생태계 의존도는 SK하이닉스보다 더 크다. 이때 SK하이닉스향 프로젝트에서 다져둔 설계 자산은 templated IP 형태로 재활용될 수 있으며, SK하이닉스 레퍼런스가 Micron 수주를 높이는 핵심 근거가 될 수 있다.

도표 3-6. GUC와 SK 하이닉스 관계



출처: SMIC 1팀

도표 3-7. HBM향 매출 및 영업이익 추정



출처: SMIC 1팀

4. Great Google, Terrific Tesla, Awesome Asic - Point ②

AI는 추론에서 Agentic으로, 다시 Physical로 변환을 거듭하며 컴퓨팅과 설계의 복잡성을 끌어 올리고 있다. 이 흐름 속에서 동사가 확보한 고객처인 Google CPU, Tesla AI5Chip, FURIOSA ASIC이 동사의 하방을 어떻게 단단히 다지고, 반복 수주와 기회로 이어지는지 살펴보자.

4.1. 가장 큰 형님, Google CPU

TPU 출하량 ↑
= CPU 출하량 ↑
= 동사 매출 ↑

TPU가 출하될 때마다 Axion이 짝지어 출하되는 구조가 정착되며, 동사의 Axion향 매출은 TPU 출하량에 연동되어 움직이게 되었다. AI 워크로드의 중심이 Agentic으로 옮겨가며 추론이 폭증하는 가운데, 추론 성능은 더 이상 TPU 한 칩의 연산력만으로 결정되지 않고 TPU와 호스트 CPU가 얼마나 잘 호흡을 맞추느냐에 좌우되는 단계로 들어섰다. 이에 Google은 범용 x86 CPU에서 벗어나 ARM 기반 자체 설계 Axion을 도입해, TPU v7 세대부터 서버 안에서 TPU와 한 세트로 운용하기 시작했다. TPU 출하 증가가 곧 Axion 출하 증가로 직결되는 구조가 성립된 것이다.

Turnkey 매출:
CPU 출하 1개 당
매출 1단위

동사의 Axion향 Turnkey 매출은 CPU가 1개 출하될 때마다 매출 1단위가 인식되는 1:1 구조로, 가시성과 확장성을 동시에 갖춘 매력적인 모델이다. Turnkey란 동사가 TSMC로부터 웨이퍼를 공급받아 설계-테스팅을 거친 뒤 일정 마진을 붙여 고객에게 납품하는 방식인데, 설계가 개별 고객사 사양에 lock-in되어 있어 해당 칩이 쓰이는 한 매출이 반복 인식된다. 초기 NRE 구간에서는 일회성 설계 수익만 잡히지만, 양산 구간에 들어서면 출하량이 그대로 반복·확장 매출로 전환된다. 따라서 Axion 출하가 늘어날수록 동사 매출의 우상향 곡선은 가팔라질 수밖에 없는 구조다.

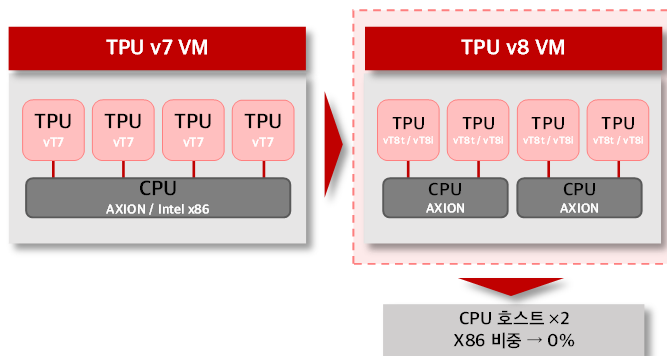
TPU v8:
TPU 당 CPU 수량↑

2026년 4월 공개된 TPU 8세대 아키텍처는 이 구조를 비선형적으로 가속하며 동사 매출의 폭발적 증가를 불러올 전망이다. TPU v7에서는 TPU 4개당 CPU 1개가 대응되는 구조였으나, v8t와 v8i에서는 TPU 4개당 CPU 2개로 CPU 대응 수량 자체가 두 배로 늘었다. 이에 더해 범용 x86과 Axion을 혼용했던 v7와는 달리, v8은 100% Axion으로만 호스팅되는 첫 세대다. 따라서 v8 침투율이 높아질수록 Axion 대응 수량이 기하급수적으로 확장되며, v8 사이클과 함께 TPU 출하 자체도 가파르게 증가하는 구조적 변화가 동시에 진행되고 있다.

학습, 추론 모두
공략하는 TPU v8

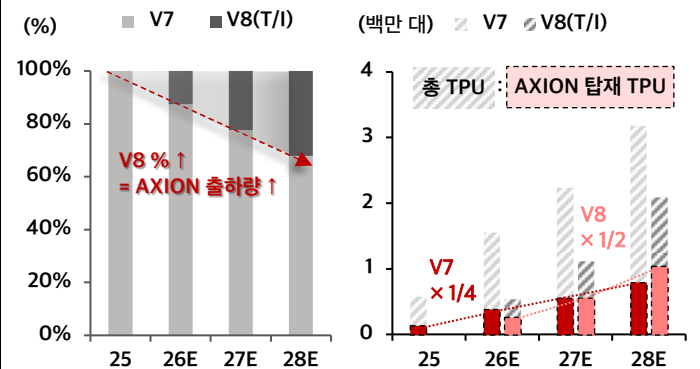
TPU v8은 NVIDIA의 학습·추론 동시 독점에 정면으로 균열을 내는 첫 세대로, TPU 수요의 구조적 상승곡선을 가져온다. 추론과 학습은 워크로드 성격이 갈라지기 때문에 단일 아키텍처로는 양쪽 모두에서 최적 성능을 낼 수 없는 한계가 명확하다. 이에 Google은 아키텍처를 학습용 v8t(Sunfish)와 추론용 v8i(Zebrafish)로 분리해 양 시장을 정조준했다. 그 결과 7세대 대비 학습 성능/달러는 2.7배, 추론 성능/달러는 80% 향상됐다. 이를 통해 NVIDIA GPU 대비 TCO 우위를 확보했고, 이는 TPU 채택을 단발 이벤트가 아닌 구조적 흐름으로 바꿔놓을 전망이다.

도표 4-1. TPU v7 VS TPU v8, CPU 대응 수



출처: SMIC 1팀

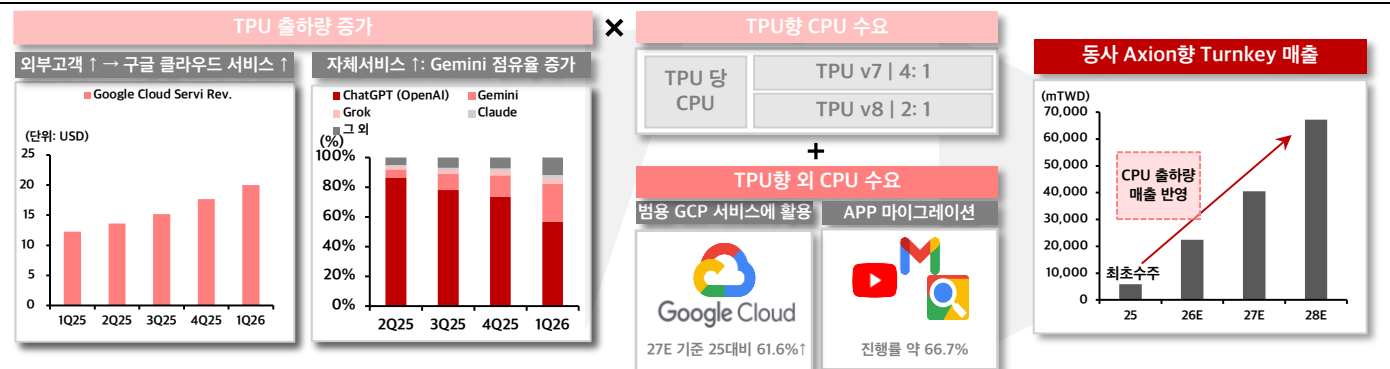
도표 4-2. TPU 세대별 Axion CPU 탑재 출하량



출처: Google, SMIC 1팀

외부 수요 늘며, Google Cloud 성장	TPU의 외부 고객 확장이 본격화되며 동사 매출의 천장도 높아지고 있다. Meta가 수십억 달러 규모로 TPU v8t를 임대한 계약은 NVIDIA의 학습 독점이 더 이상 구조적이지 않음을 보여주는 결정적 신호며, v7으로 학습된 Gemini 3 Pro와 Claude Opus 4.5가 NVIDIA GPU 기반 모델과 동등하거나 그 이상의 성능을 입증한 흐름의 연장선이다. 추론에서도 PyTorch 언어의 맞춤 지원으로 CUDA 생태계의 해자가 약해지며 xAI, SSI, OpenAI까지 파이프라인이 확장되는 가운데, 구글 클라우드 1Q26 매출이 연 60% 성장하며 외부 고객의 임대 수요가 재무 수치로 입증되고 있다.
구글 자체 AI서비스도 TPU 수요 증가의 축	외부 고객의 임대 수요와 구글 자체 AI 서비스 수요가 양 축에서 동시에 폭증하며, 그 결과 구글은 2026년 CapEx 가이드를 전년의 두 배인 \$190B로 상향했고, 이는 동사 매출 가시성을 한 단계 끌어올렸다. 내부 축에서는 Gemini가 B2C와 B2B 양면에서 확산되며 API 토큰 처리량이 분당 16B로 전분기 대비 60% 증가했고, 글로벌 SaaS 상위 20개 중 95%가 Gemini를 사용하는 단계에 진입하며 구글 자체 서버 수요를 직접 끌어올리고 있다. 양 축에서 폭증한 수요 덕분에 TPU 출하가 증가하며, 이는 동사 Axion향 매출의 상승으로 직결될 수밖에 없다.
범용 클라우드, 구글 내부도 Axion	동사 Axion 매출의 두 번째 축은 TPU와 무관한 범용 CPU 교체 수요로, TPU 사이클과 독립적으로 출하량을 끌어올린다. 구글은 YouTube, Gmail 등 핵심 프로덕션 애플리케이션 중 약 33%에 해당하는 30,000개의 앱 내부 워크로드를 x86에서 Axion으로 전환하였다. 이때 가격 대비 성능이 최대 65% 개선됨을 입증함에 따라, 나머지 앱의 전환 역시 기대된다. 여기에 TPU가 탑재되지 않는 일반 범용 서버를 쓰는 외부 클라우드 고객까지 Axion으로 빠르게 흡수되는 흐름이 가속화되며, 동사 Axion향 매출의 두 번째 성장 엔진으로 작동한다.
구글향 매출 이익 가시성 Good	두 성장축의 결합은 동사 구글향 매출 증가의 기반이 되며, 이미 확보한 고객만으로도 폭발적인 매출 상승이 가능함을 보여준다. 본서 추정에 따르면 구글 Axion CPU 출하량은 2026년 약 59만 대에서 2028년까지 약 177만 대로 확대되며, 이에 따라 동사 구글향 매출은 약 223.8억 TWD에서 약 671.8억 TWD로 증가할 것으로 판단된다. Axion 사이클이 크게 확대됨에 따라 동사의 매출 베이스와 이익 가시성 역시 한 단계 위로 재평가되어야 할 구간에 진입했다.
차후 사이클에서도, 동사는 건재	동사가 차세대 사이클에서도 Google의 파트너로 남는 것은 사실상 확정에 가깝다. 차세대 칩에서도 발열 및 전력 부담이 구조적으로 지속되는 만큼, 전력을 적게 쓰고 열이 덜 나는 ARM의 'Neoverse' 설계가 다음 호스트 CPU에도 다시 채택될 가능성이 높다. 동사는 'ARM Total Design' 협력 프로그램의 멤버로, Neoverse 설계를 남들보다 먼저 받아 쓸 수 있는 우선권을 가지고 있다. 그리고 실제로 이 우선권을 활용해 차세대 CPU 설계 일감을 이미 따낸 것으로 확인된다. 여기에 1세대 Axion을 성공적으로 양산 중인 트랙레코드까지 더해지며, 동사의 매출은 지금 사이클에서 끝나는 게 아니라, 그 너머 다음 세대까지 길게 이어진다.

도표 4-3. Google Axion향 매출 증가 핵심 논리



출처: Google IR, 언론종합, SMIC 1팀

4.2. 새로 들어온 효자, ASIC

Tesla A5chip수주
Turnkey1

Tesla AI5 칩 수주는 동시에 단순한 신규 매출이 아니라, 수익성 개선과 AI 핵심 칩 설계 파트너로의 도약을 동시에 의미하는 사건이다. 해당 수주는 동사 Turnkey 방식 중 가장 깊은 관여 단계인 TK1 계약이다. TK1은 설계 도면 완성(GDSII) 단계부터 DRC/LVS 검증, 마스크 제작, 웨이퍼 제조, 테스트, 패키징까지 백엔드 설계 전 과정에 동사가 가장 깊게 관여하는 형태로, ASP와 OPM이 높게 형성된다. 무엇보다 AI5Chip은 Tesla의 두뇌에 해당하는 칩으로, 글로벌 최상위 AI 사업자로부터 따낸 첫 본격 양산 수주라는 점에서 동사 매출 베이스 자체를 도약시킨다.

AI5 → AI6.5로
꾸준할 매출 가시성

동사의 Tesla향 매출은 칩 사이클이 단축되더라도 칩이 탑재되는 하드웨어의 수명이 길어, 세대 간 매출이 두텁게 중첩되는 구조다. AI5는 9개월의 사이클로 차세대가 빠르게 도래하지만, AI5가 탑재되는 차량·Optimus·xAI 추론 클러스터는 5~10년 단위로 운용되는 자산이라 신규 세대 출시 이후에도 꾸준한 수요와 양산이 예상된다. 결과적으로 2027~2029년 AI5 양산이 가속화되는 위 에 이미 TSMC 수주가 확정된 AI6.5 매출이 중첩되며, 향후 10년, 사실상 2030년대 중반까지 동사 Tesla향 매출이 끊김 없이 유지되는 높은 가시성을 담보한다.

AI5 물량
TSMC >>> 삼성전자

AI5Chip은 삼성전자와 TSMC가 공동 생산하지만, 대부분의 물량은 결국 TSMC로 가고 이에 따 라 동사에게 집중된다. 삼성전자 Taylor 팹의 본격 CAPA 램프업 시점은 2H27로, 삼성이 단독 수주한 AI6 양산 일정에 맞춰진 것으로 보인다. 2026년 2월까지 2나노 시제품 생산이 6개월 연 기되는 등 지속적인 수율·지연 문제를 겪어온 삼성전자 파운드리였던 만큼, AI5는 AI6 양산 전 테스트링 차원의 소수 물량만 배정될 전망이다. 결정적으로 차세대 AI6.5가 다시 TSMC 단독 위탁 으로 확정된 점은, Tesla가 본물량의 신뢰를 어디에 두는지를 여실히 보여주는 힌트다.

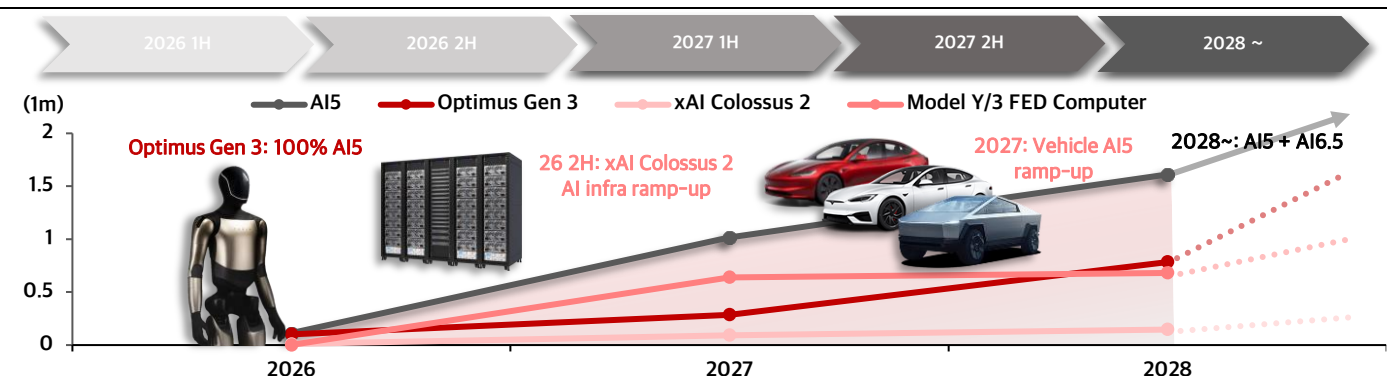
AI5 → AI6.5
: 동사도 함께

AI6.5 칩의 막대한 전환비용은 사실상 차세대 수주마져 동사에 묶여둔다. Tesla의 신경망은 AI칩 회 로에 맞춰 설계될 만큼 칩과 한 몸을 이루는 핵심 자산이기에 양산이 지연되거나 실패하면 그 비용은 기하급수적으로 커진다. 차세대 AI6.5는 이 중요도가 한층 높아지는 데다 2nm 공정 전 환까지 동반하는 고난도 프로젝트다. 이런 상황에서 디자인하우스를 교체하면 first-silicon이 정 상 작동할 확률이 14%로 추락하고, 재설계가 반복되며 양산 일정 전체가 밀린다. 검증된 TSMC 의 파트너를 두고 굳이 다른 디자인하우스를 찾아 이 위험을 떠안을 유인은 존재하지 않는다.

AI5 → AI6.5
P도 함께 ↑

AI5에서 AI6.5로의 전환은 동사에 Q와 P의 동반 상승이라는 수혜를 더한다. AI6.5는 가속기의 절반을 SRAM에 할당하는 구조라서, 동사의 UCle IP가 더 많이 필요해진다. 동사 IP 의존도가 높 아지니 그만큼 받는 돈도 늘어난다. 또한, N2 공정을 쓰는 것으로 확정된 만큼 N3보다 설계가 더 복잡하다. 설계가 어려워질수록 설계비(NRE)와 칩 판매단가(ASP)가 함께 올라간다. 결국 AI6.5 사이클에서는 물량 확보 위에 단가 상승까지 얹히면서, 동사의 테슬라향 매출이 커진다.

도표 4-4. Tesla AI5 탑재 제품 및 출하량



출처: Tesla, SMIC 1팀

Furiosa RNGD, 동사의 New 레퍼런스 한편, 한국의 추론 NPU 팹리스 Furiosa로부터 받은 RNGD 수주는 동사 ASIC 사업의 내러티브를 한 단계 확대시키는, 결코 작지 않은 사건이다. 일부 빅테크에 의존하던 ASIC 포트폴리오가 아시아·소버린 AI 관련 고객사를 얻으며 지역적·사업적 다변화에 성공한 동시에, 추론 NPU라는 고이익·고가시성 시장에서 글로벌 레퍼런스를 확보했다는 점에서 의미가 크다. 게다가 동사는 RNGD에 이어 그 후속작인 차세대 NPU 'RNGD Max'까지 추가로 수주했다. 이는 동사가 앞으로 다른 ASIC 일감도 충분히 따낼 수 있음을 보여주는 신호다.

ASIC 수주 확보
= 이익 체질 개선

Tesla AI5와 Furiosa RNGD 수주는 동사가 신규 ASIC 시장 전반을 흡수해 나갈 발판이 된다. 동사는 AI 본류의 최전선에 선 Tesla AI5를 전담하는 동시에 한국 소버린 AI NPU까지 확보하며, 빅테크·자동차·아시아 추론 시장을 아우르는 다방면의 수주 레퍼런스를 단숨에 쌓아 올렸다. 경쟁사 Alchip이 AWS Trainium 후속 수주에 실패하며 멀티플 디레이팅을 겪는 것과 반대로, 동사는 다수 빅테크의 차세대 칩 사이클에 성공적으로 올라타며 승승장구할 전망이다.

4.3. 기존 고객, 신규 고객, 결국 모두 동사에게로!

동사의 무기 1 -
속도와 납기

TSMC의 자회사 지위를 가진 동사는 개발 속도와 납기, 공급망 안정성 측면에서 누구도 따라올 수 없는 최적의 파트너다. 동사는 TSMC가 새로운 전공정이나 후공정을 내놓을 때마다 최초 고객이 되는 패턴을 반복하고 있으며, 2026년 64Gbps UCle PHY IP를 N3P·CoWoS에 세계 최초로 tape-out하고 N2 공정에서 GLink/UCle-3D 2.0 아키텍처를 검증해낸 사례가 이를 입증한다. 또한 동사와 TSMC Fab12 간 거리가 도보 5~10분에 불과한 물리적 인접성과 99%를 상회하는 납기 역량까지 결합되어, 누구보다 빠른 개발·납기 역량으로 고객사를 확보한다.

동사의 무기 2 -
공급망 안정성

또한 동사는 Wafer 확보 우선권을 통해 공급망 안정성까지 동시에 제공하는 유일한 디자인하우스다. 경쟁사 Alchip이 1Q26 컨콜에서 N3 가속기 수요는 강하나 웨이퍼 확보가 어려워 내년에야 추가 물량 확보가 가능하다고 밝힌 반면, 동사는 같은 시점에 TSMC로부터 CPU용 3nm 웨이퍼 추가 확보를 공식화하고 CoWoS 첨단 패키징 캐파를 2035년까지 보장받는 13년 장기 락인 계약을 체결했다. 자회사 지위를 통한 wafer 우선 배정권은 단순 파트너 관계에 머무는 여타 디자인하우스가 따라올 수 없는 영역으로, 공급망 안정성에서 동사를 따라올 경쟁사는 없다.

동사의 무기 3 -
확보된 CAPA와 인력

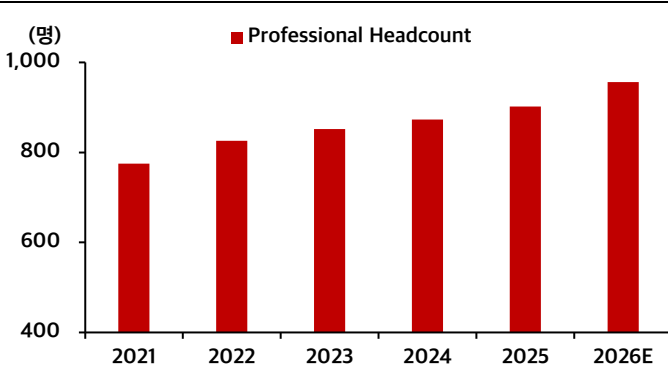
뿐만 아니라, 동사는 신규 파트너 수주를 받아낼 만반의 준비를 마쳤다. TSMC는 전 세계에 18개의 신규 및 개조 팹 건설을 동시에 진행 중이며, 2026~27년 합산 CapEx가 \$110B로 예상되는데 이는 전례 없는 투자 액수다. 이에 2026년 120kWPM인 3nm CAPA가 180kWPM까지 늘어날 전망이다. 이는 동사가 반복되는 Turnkey 매출을 소화하면서 동시에 신규 고객을 맞이할 여력을 확보했다는 점에서 매우 고무적이다. 동사 역시 고급 개발 인력을 2025년 902명에서 2026년 956명까지 늘리며 신규 고객을 받아낼 준비를 하고 있다.

도표 4-5. Global Unichip - TSMC 12Fab



출처: SMIC 1팀

도표 4-6. 동사 개발 인력 변화



출처: 동사IR, SMIC 1팀

5. Creating Profit Opportunity - Point ③

TSMC COUPE,
CPO 시장의
새로운 표준

TSMC의 COUPE는 CPO 시장 표준 자체를 다시 쓰는 게임 체인저이며, 동사는 이 표준 재편의 정중앙에 서 있다. 기존 CPO는 전기 신호 칩(EIC)과 광 신호 칩(PIC)을 PCB 위에 수평으로 배치해 신호가 수 cm의 전기 배선을 거쳐야 했지만, COUPE는 EIC를 PIC 위에 수직 적층해 신호 경로를 수 μm 까지 압축한다. 그 결과 전력 효율은 두 배, 지연은 1/10 수준으로 단축되며, CPO 시장 역시 TSMC 어드밴스드 패키징 생태계로 흡수되는 지각 변동이 본격화되고 있다.

COUPE 난이도 ↑
→ 디자인 하우스 ↑

COUPE 공정의 수직 적층 구조는 평면 배치에서는 없던 통합 난제를 새로 만들어낸다. 기존에는 전기 칩과 광 칩을 같은 평면에 나란히 두어 상호 간섭을 줄일 수 있었으나, COUPE는 두 칩을 한 스택에 수직으로 겹치며 발열 간섭, 신호 무결성, 광섬유 부착부의 기계적 신뢰성을 동시에 풀어야 하는 구조로 바뀌었다. 이 변수들이 서로 맞물려 하나를 잡으면 다른 하나가 틀어지는 만큼, 통합 설계 난이도는 기하급수적으로 올라간다. 이에 silicon photonics 통합 노하우와 COUPE 공정 이해도를 동시에 갖춘 디자인 파트너에 대한 수요가 폭증하는 국면으로 진입했다.

CPO 관련 노하우,
준비 완료

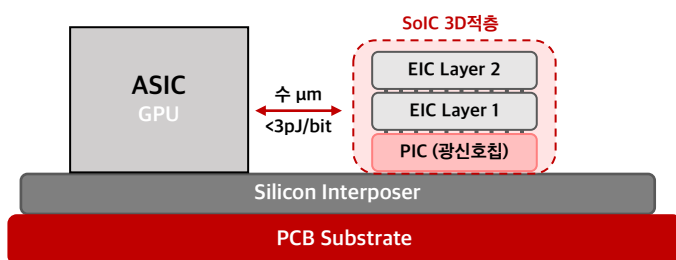
동사는 새로이 열릴 CPO 시장이 찾는 검증된 적임자다. 동사는 Ayar Labs, Lightmatter와의 파트너십을 통해 가속기 옆에 광 입출력 칩셋을 붙이는 인터페이스 설계부터 광 substrate 위 시스템 설계 노하우까지 차례로 확보했다. 두 협업을 통해 광 엔진 결합 시 직면하는 신호·전력 무결성, 열 제어, 양산 신뢰성 확보라는 핵심 과제를 잡아낼 silicon photonics 통합 노하우를 쌓았다. 이를 통해 3나노 EIC와 65나노 PIC를 결합한 3D 패키징 기반의 CPO 설계 플로우 구축까지 완료한 만큼, 동사는 CPO 시장의 개화를 흡수할 준비를 마쳤다.

CPO 진입
= 동사 위상 격상

CPO 밸류체인 진입은 단순 신규 매출 추가가 아닌, 동사가 차세대 AI 인프라의 핵심 병목을 푸는 지위로 올라서는 메가 이벤트다. CPO는 단순한 인터커넥트 옵션이 아니라 Scale-Up, Scale-Out, 전력 효율 등 차세대 AI 인프라 발전의 모든 방향에 동시에 침투하는 기술이며, 이 영역의 디자인 역량 및 레퍼런스 확보는 동사의 사업 영역이 비메모리와 메모리를 넘어 AI 인프라 전반으로 확장됨을 의미한다. 2034년 \$120B·연 37%로 폭발 성장이 전망되는 CPO 시장에 동사가 새로이 올라타게 된다는 점에서, 동사의 위상을 재정의하는 변곡점이 될 전망이다.

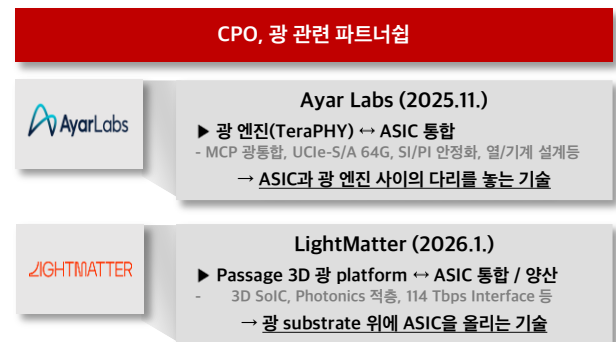
COUPE 전환이 만든 통합 난이도 폭증 속에서 동사는 CPO라는 차세대 AI 인프라 핵심 영역의 디자인 지위를 차지하게 된다. CPO 시장으로의 진입은 동사의 추가적인 리레이팅을 이끌어 내는 추가적인 촉매가 될 것이다. TSMC의 COUPE 관련 양산 일정이 2026년에 다가오는 만큼 동사의 행보에 주목해야 할 때이다.

도표 5-1. TSMC COUPE



출처: TSMC, SMIC 1팀

도표 5-2. Ayar Lab, Lightmatter 파트너십



출처: 동사HR, SMIC 1팀

6. 매출 추정

동사의 매출은 디자인하우스 BM 특성상 개발 단계에서 인식되는 NRE & IP 매출과 양산 단계에서 인식되는 Turnkey 매출로 구분되며, 고객사에 따라 매출 인식 방식과 성장 driver가 상이하여 기존 고객사향 매출과 신규 고객사향 매출로 나누어 엄밀하게 추정하였다. 2025년 이전부터 개발 단계가 진행된 프로젝트는 기존 고객사로 분류하였으며, 2025년 이후 개발이 시작되어 본격적인 양산 (tape-out) 단계에 진입하지 않은 프로젝트는 신규 고객사로 분류하였다. 최종 매출추정 Table은 다음과 같다.

최종 매출추정 Table								
(단위: TWD in millions)	2022	2023	2024	2025	1Q26	2026E	2027E	2028E
매출액	24,040	26,241	25,044	34,141	11,448	81,209	145,397	196,418
YoY(%)	59.1%	9.2%	-4.6%	36.3%	63.0%	137.9%	79.0%	35.1%
Turnkey	16,880	18,981	16,161	25,736	9,805	69,598	132,610	185,065
% of sales	70.2%	72.3%	64.5%	75.4%	85.6%	85.7%	91.2%	94.2%
NRE	6,539	6,763	8,436	8,032	1,573	11,080	12,368	11,053
% of sales	27.2%	25.8%	33.7%	23.5%	13.7%	13.6%	8.5%	5.6%
IP	621	497	447	373	70	531	420	299
% of sales	2.6%	1.9%	1.8%	1.1%	0.6%	0.7%	0.3%	0.2%

6.1. Turnkey 매출 추정

Turnkey 매출 추정					
(단위: TWD in millions)	2025	1Q26	2026E	2027E	2028E
Turnkey향 매출액	25,736	9,805	69,598	132,610	185,065
YoY(%)	59.2%	73.1%	170.4%	90.5%	39.6%
기존 고객사	25,736	5,961	37,794	55,317	81,958
i. Google Axion v1 CPU	5,894	2,091	22,378	40,541	67,176
ii. Furiosa	-	378	1,449	3,938	5,906
RNGD Gen-2	-	378	945	1,418	2,126
Renegade+ Max	-	-	252	1,260	1,890
iii. Bitmain mining ASIC	4,592	402	1,607	643	321
iv. Consumer/Industrial	4,500	990	3,960	3,485	3,067
v. SSD/Networking Controller	3,500	831	3,325	3,159	3,001
vi. 기타 기존 사업	7,250	1,269	5,075	3,553	2,487
신규 고객사	-	3,845	31,804	77,293	103,107
i. Tesla AI5	-	-	4,241	38,453	60,940
ii. Microsoft Cobalt 200 CPU	-	2,546	17,820	25,200	25,800
iii. 기타 신규 사업 (ADAS, HBF, etc)	-	1,299	9,743	13,640	16,367

동사의 Turnkey 매출액은 칩이 탑재되는 엔드 제품의 출하량 × 제품당 칩 탑재 개수 × 동사의 침투율인 Q에 노드별 ASP인 P를 곱하여 산정하였다. Q에 대한 직접 추정이 어려운 경우 동사의 지역별·노드별 매출 비중을 통해 적정 매출 규모를 추정한 뒤 사업별 합리적 성장률을 곱하는 방식으로 보완하였고, P의 경우 과거 매출과 노드별 비중을 통해 노드별 칩 ASP를 역산하여 적용하였다.

① 주요 고객사별 Turnkey

동사의 Turnkey 매출은 Google·Tesla 등 빅테크의 수주가 향후 성장을 견인하고, legacy 사업 축소분을 기타 신규 프로젝트가 보완하는 구조를 반영하였다. Google·Tesla·Microsoft·Furiosa 등 주요 프로젝트는 고객사별 양산 가시성과 적용 제품군의 확장성을 기준으로 별도로 추산하였다. 특히 투자포인트에서 논증한 Google·Tesla는 3nm 기반 대형 양산 프로젝트로 2026년 이후 Turnkey 매출 확대의 핵심 변수이며, Furiosa·Microsoft는 HBM·chiplet 기반 고부가 프로젝트에 해당한다.

[Google·Tesla향 Turnkey 매출의 자세한 추정 과정은 Appendix 3, 4 참조.]

② Legacy 및 기타 Turnkey

반면 Bitmain은 TSMC의 중국향 웨이퍼 수출 규제의 영향으로 추가 NRE 없이 기존 양산 매출만 감소하는 구조이다. 또한 기존의 legacy 사업은 동사가 인력을 빅테크 중심 named 프로젝트로 이전시키는 전략과 5nm 구형화에 따른 기존 고객 이탈을 반영하여 16nm 성장률 -16%의 약 두 배인 -30%를 적용하였다. 기타 신규 사업은 ADAS, HBF 등 고객사와 일정이 불확실한 첨단 노드 프로젝트를 포괄하며, 2027년 이후 2nm 전환과 후속 lock-in 효과가 나타나는 성장축으로 반영하였다.

6.2. NRE 매출 추정

NRE 매출 추정					
(단위: TWD in milions)	2025	1Q26	2026E	2027E	2028E
NRE향 매출액	8,032	1,573	11,080	12,368	11,053
YoY(%)	-4.8%	19.7%	38.0%	11.6%	-10.6%
기존 고객사	5,944	991	5,478	4,557	2,916
i. Google	113	50	300	350	50
Axion v1 CPU	113	-	-	-	-
Axion v2 CPU	-	50	300	350	50
ii. Furiosa	341	114	600	600	-
RNGD Gen-2	341	-	-	-	-
Renegade+ Max	-	114	600	600	-
iii. Consumer/Industrial	1,440	250	1,377	1,121	912
iv. SSD/Networking	1,600	270	1,486	1,286	1,114
v. 기타 기존 사업	2,450	306	1,715	1,201	840
신규 고객사	2,088	583	5,602	7,810	8,138
i. Tesla	956	159	956	1,950	1,313
AI5	956	159	956	638	-
AI6.5	-	-	-	1,313	1,313
ii. SK Hynix	-	165	2,800	3,200	-
HBM4 base die	-	-	-	-	-
HBM4E base die	-	165	2,800	3,200	-
iii. Microsoft Cobalt 200 CPU	160	38	200	-	-
v. ADAS	490	70	490	-	-
vi. HBF Program	-	39	385	385	-
vii. 기타 신규 사업	482	112	771	2,275	6,825

$$NRE \text{ 매출액} = \text{프로젝트별 NRE 계약액} \times GUC \text{ capture factor} \times \text{해당 연도 진행률}$$

동사의 NRE 계약액은 wafer 매입·packaging-test의 책임 범위를 나타내는 Turnkey 관여도 (TK1~TK3)와 사양 설계부터 관여하는 spec-in 또는 검증·packaging만 참여하는 back-end-only 여부에 따라 차등 형성된다. Spec-in 프로젝트는 IP 비용과 설계 용역비 비중이 모두 반영되어 계약 규모가 더 크게 형성되며, N/O 계약의 경우 양산에 참여하지 않아 Turnkey 매출 없이 NRE만 인식된다. 또한 첨단 노드일수록 마스크 비용과 IP 사양 요구가 커지며 동일 TK 관여도에서도 노드에 따라 계약액이 최대 10배까지 차이가 발생할 수 있어, 본 추정에서는 노드와 TK 관여도의 차등 구조를 모두 반영하였다.

본 모델에서는 과거 NRE의 노드별 매출 비중과 프로젝트 수를 기반으로 노드 및 TK 관여도에 따른 프로젝트별 계약액을 역산하였다. 계약액 자체에 동사의 작업 범위와 설계 진입 단계별 비용 격차가 선반영되어 있으므로, 매출 인식은 설계 cycle 18~24개월 동안 stable-in(사양 확정), final netlist-in(논리 설계 완료), tape-out(마스크 제작 의뢰), ship-out(시제품 출하)의 4단계 마일스톤을 각 25%씩 균등 인식하는 방식을 적용하여 프로젝트별 예정 타임라인에 따라 분기별 인식 매출을 산출하였다.

① 주요 고객사별 NRE

신규 고객사 중 NRE 매출의 핵심은 Tesla와 SK Hynix이다. Tesla는 3/2nm의 첨단 노드에 TK1의 관여도로 참여하여 약 3,300의 계약 규모를 산정하였다. SK Hynix의 경우 Turnkey 단계에 직접 관여하지 않으나 HBM4E의 customization 특성상 고객사별 별도 설계가 필요하고 반복적 수주가 발생하는 구조임을 고려하여 각 2,000의 계약 규모에 최소 3개 hyperscaler 고객사(NVIDIA, Samsung, Microsoft 등)향 양산을 반영하여 총 6,000의 NRE 매출을 산정하였다. Google의 경우 Turnkey 매출 규모 대비 TK3에 불과하여 NRE 측면의 기여가 제한적이며, Furiosa는 TK1/2로 NRE 측면의 중요도가 크다.

② Legacy 및 기타 NRE

Consumer/Industrial과 SSD/Networking 항목은 프로젝트 개수에 따라 NRE 매출이 인식되는 구조를 반영하여 2022~2025년 각각의 NRE 매출을 프로젝트당 단가(각 300, 500)로 나누어 연도별 프로젝트 수를 역산하였다. 이에 프로젝트 수의 추세를 회귀식으로 외삽하고, 여기에 프로젝트당 단가를 곱해 향후 NRE 매출을 합리적으로 추정하였다. 기타 기존 사업의 경우 최근 동사가 첨단 프로젝트에 집중하는 흐름을 반영하여 Turnkey와 동일하게 -30%의 역성장률을 적용하였다.

기타 신규 NRE 사업은 OEM 협력 구조와 양산 일정이 확정되지 않은 신규 프로젝트들의 총합으로, 2026년 이후 본격적인 가시성이 나타날 미식별 계약 건에 해당한다. 해당 사업군이 3/5nm 이상의 첨단 노드에 집중되는 점을 반영하여 동사의 첨단 노드 NRE 매출 시계열(5+3nm 합계 기준 2021년 141 → 2025년 4,980)의 CAGR +47%를 base growth rate로 적용하였으며, Custom ASIC TAM 확대와 동사의 outperformance를 가중치 1.3으로 반영하여 2026년에는 60%의 성장률을 적용하였다.

2027~2028년의 경우 2nm 진입이 본격화되는 시기로, 과거 5nm 진입 시 NRE +735%, 3nm 진입 시 +587%의 폭증 선례가 존재하나 이번에는 기존 base가 큰 점을 고려하여 약 200%의 보수적인 성장률을 적용하였다. 해당 수치는 향후 현 신규 고객사의 후속 라인 효과로 발생할 Tesla AI7, SK Hynix HBM5, Microsoft Maia 300, Furiosa Gen 3, CPO향 계약 건이 모두 반영된 합리적 추정치이다.

6.3. IP 매출 추정

IP 매출 추정					
(단위: TWD in millions)	2025	1Q26	2026E	2027E	2028E
IP향 매출액	373	70	531	420	299
YoY(%)	-16.6%	55.6%	42.4%	-20.9%	-28.8%
i. SK Hynix HBM4 base die	80	10	250	150	40
ii. 기타 IP	293	60	281	270	259

IP 매출은 동사가 보유한 IP 포트폴리오(SerDes, Memory controller, PCIe 등)의 license fee로 구성되며, 고객사가 신규 design에 동사 IP를 적용하는 시점인 Tape-out 직전부터 직후까지 일회성으로 인식된다. 이는 NRE와 Turnkey 매출이 별도로 인식되지 않는 N/O(NRE-Only) 계약에서만 별도 line item으로 표기되는 구조이다. 현재까지 IP 매출만 발생하는 신규 계약 추정 건은 SK Hynix HBM4 base die 외에 확인되지 않아 HBM4향 IP 매출과 기타 IP 매출로 나누어 추정하였다.

HBM4는 HBM4E와 달리 customization이 아닌 JEDEC 표준 형태로 제작되어 전체 NRE 프로젝트 계약 금액이 약 1,200 수준에 형성될 것으로 가정하였다. N/O 계약 특성상 IP 비용 비중이 40~50%에 형성되는 점을 반영하여 HBM4의 IP 매출액은 약 520 수준으로 추정하였으며, 2026년 Tape-out에 따라 2025년 하반기부터 License fee가 단계적으로 인식되는 형태로 안분하였다. 기타 IP 매출의 경우 IP 매출이 일회성으로 두드러지는 연도를 제외한 정상 연도 성장률 -4%를 적용하여 추정하였다.

7. Valuation - Historical PER Method

7.1. Cost of Revenue

Estimated Cost of Revenue								
(TWD in Millions)	2022	2023	2024	2025	1Q26	2026E	2027E	2028E
Revenue	24,040	26,241	25,044	34,141	11,448	81,209	145,397	196,418
YoY(%)	59.1%	9.2%	-4.6%	36.3%	63.0%	137.9%	79.0%	35.1%
Turnkey	16,880	18,981	16,161	25,736	9,805	69,598	132,610	185,065
% of Sales (%)	70.2%	72.3%	64.5%	75.4%	85.6%	85.7%	91.2%	94.2%
NRE	6,539	6,763	8,436	8,032	1,573	11,080	12,368	11,053
% of Sales (%)	27.2%	25.8%	33.7%	23.5%	13.7%	13.6%	8.5%	5.6%
IP	621	497	447	373	70	531	420	299
% of Sales (%)	2.6%	1.9%	1.8%	1.1%	0.6%	0.7%	0.3%	0.2%
Cost of Revenue	15,705	18,265	16,937	25,687	8,335	63,489	118,105	162,829
COR Ratio (%)	65.3%	69.6%	67.6%	75.2%	72.8%	78.2%	81.2%	82.9%
Gross Profit	8,335	7,976	8,108	8,454	3,113	17,720	27,293	33,589
GPM (%)	34.7%	30.4%	32.4%	24.8%	27.2%	21.8%	18.8%	17.1%

동사의 매출원가(COR)는 TSMC 웨이퍼 비용, 제조 인건비, 감가상각비 등의 주요 항목으로 구성 될 것으로 예상되지만, 동사는 매출원가의 상세항목을 성격별로 분리하여 공시하지 않는다. 따라서, 동사의 매출이 Turnkey, NRE 및 IP 매출로 구성된다는 점에 착안하여, 각 사업부의 매출 구성 변화에 따라 GPM(%)가 같이 변화하는 방향으로 COR을 엄밀하게 추정했다.

동사의 매출 구성에서는 Turnkey가 압도적인 볼륨을 차지하고 있다. 그러나 [산업/기업분석]에서 상술했듯, Turnkey 매출의 경우 반복성이라는 특성상 그 규모는 매우 크지만 마진이 매우 낮다는 특성을 가지고 있다. 실제로, 동사가 TSMC로부터 구입해오는 웨이퍼 금액 및 재고금액을 통해 간접적으로 미루어볼 때, 사실상 동사 매출원가의 90% 이상은 TSMC 웨이퍼 비용으로 추정된다. 자연스럽게 해당 비용은 Turnkey 매출원가로 귀속되는 구조를 지니고 있다.

NRE 및 IP 매출의 경우 Turnkey에 비해 상대적으로 규모는 작지만 압도적인 마진율을 자랑한다. 실제로 동사는 2Q25 컨콜에서 NRE 매출이 물리적인 재료비가 많이 들지 않는 지식 기반 서비스이기 때문에, 매출총이익률(GPM)이 항상 비교적 높다고 언급하기도 했다. IP 매출 역시 본질적으로 라이선스 매출이기 때문에 매출원가 자체가 거의 발생하지 않는, 사실상 GPM 100%에 육박하는 사업이다.

이를 반영하듯 22년부터 25년까지의 동사의 GPM 추이를 살펴보면, Turnkey 매출의 % of Sales가 증가할 때 동사의 GPM(%)은 오히려 낮아지는 흐름을 보이고 있다. 해당 흐름을 반영하고자 본서에서는 고마진의 NRE+IP 사업부와, 저마진의 Turnkey 사업부 각각의 매출액과 전체 매출원가 간의 다중선형회귀분석을 진행했다. 그 결과, NRE+IP 매출의 계수는 0.3, Turnkey 매출의 계수는 0.86으로 도출되었다(R-squared = 0.9984). 이는 즉, NRE와 IP 사업부의 합산 GPM(%)는 대략 70%, Turnkey 사업부의 GPM(%)는 대략 14% 정도임을 뜻한다. 해당 회귀식을 바탕으로 미래의 Turnkey 매출 및 NRE+IP 매출을 연동하여 전체 매출원가를 추정했다.

상기논의를 모두 종합하여, 동사의 COR을 추정한 결과, 본서의 전체 GPM(%)는 꾸준히 감소하는 형태를 보인다. 향후 Google/Tesla의 3nm 기반 Turnkey 매출이 본격적으로 확대됨에 따라 동사의 매출에서 Turnkey 매출이 차지하는 비율이 점차 증가할 것으로 예상되기에, 해당 추이를 반영한 본 추정은 상당히 합리적이다.

7.2. Operating Expenses

Estimated Operating Expenses								
(TWD in Millions)	2022	2023	2024	2025	1Q26	2026E	2027E	2028E
Revenue	24,040	26,241	25,044	34,141	11,448	81,209	145,397	196,418
YoY(%)	59.1%	9.2%	-4.6%	36.3%	63.0%	137.9%	79.0%	35.1%
Operating Expenses	4,236	4,007	4,305	4,104	1,289	4,512	4,809	5,116
Operating Expenses Ratio (%)	17.62%	15.27%	17.19%	12.02%	11.26%	5.56%	3.31%	2.60%
OPM(%)	17.1%	15.1%	15.2%	12.7%	15.9%	16.3%	15.5%	14.5%
Selling & Marketing	381	394	407	379		393	393	388
% of Sales (%)	1.59%	1.50%	1.63%	1.11%		0.48%	0.27%	0.20%
General & Administrative	565	497	528	541		522	530	531
% of Sales (%)	2.35%	1.89%	2.11%	1.58%		0.64%	0.36%	0.27%
Research & Development	3,290	3,116	3,223	3,330		3,597	3,885	4,197
% of Sales (%)	13.68%	11.88%	12.87%	9.75%		4.43%	2.67%	2.14%
Provision for Doubtful Accounts	-	-	146	(146)		-	-	-
% of Sales (%)	0.00%	0.00%	0.58%	-0.43%		0.00%	0.00%	0.00%

Operating Expenses는 동사에서 공시한 다수의 항목들을 S&M, G&A, R&D, Provision for Doubtful Accounts 항목으로 분류하여 추정하였다.

먼저 S&M 비용은 영업 및 BD(Business Development) 관련 비용으로, 일반적인 마케팅 비용 및 판촉비의 성격보다는 순수 인건비 및 출장/파트너십 활동비 등으로 구성된다. 즉, 소수 기술 인력들의 유지비용으로 준고정비적 성격을 띠기 때문에 3개년 avg.flat 처리했다.

G&A 비용의 경우 경영진/재무 인력 등의 인건비 및 건물 임차료, 본사 건물 감가상각비 등으로 구성되며 고정비적인 성격이 강하기 때문에 3개년 avg.flat 처리했다.

R&D 비용은 영업비용의 가장 큰 부분을 차지한다. 동사의 R&D 비용은 인건비가 대다수를 차지 하며, EDA 툴 라이선스 비용 등이 포함된다. 따라서 동사에서 공시한 Professional Headcount 추이를 바탕으로 R&D 비용을 엄밀하게 추정했다. [Appx.5 참조]

Provision for Doubtful Accounts는 대손충당금의 성격을 가진 항목으로, 일회성 비용이기 때문에 합리적 추정이 불가능하여 0 flat 처리했다.

7.3. Other income and expenses

Estimated Other income and expenses								
(TWD in Millions)	2022	2023	2024	2025	1Q26	2026E	2027E	2028E
Total Other income and expenses	246	187	260	93	101	198	203	200
Interest income	42	98	154	182	51	182	182	182
Interest expense	4	6	4	4	2	4	4	4
Foreign exchange gain (loss)	119	(3)	48	(150)	41	-	-	-
Other income (expense)	78	74	12	30	2	21	25	23
Abnormal gain (loss)	11	23	50	36	8	-	-	-

영업외손익 및 기타손익, 비정상손익의 경우 금액적 중요성이 낮거나 합리적 추정이 불가능한 항목들로 구성되어 있기 때문에 25년 기준 flat, 최근 2개년 avg.flat 또는 0 flat 처리했다.

7.4. Income tax expense

Estimated Income tax expense							
(TWD in Millions)	2022	2023	2024	2025	2026E	2027E	2028E
Pretax income	4,345	4,155	4,062	4,443	13,406	22,687	28,673
Income tax expense	634	647	612	673	2,024	3,425	4,329
Tax rate (%)	14.60%	15.58%	15.06%	15.15%	15.10%	15.10%	15.10%

동사의 유효법인세율은 과거 15% 전후로 일정하게 유지됨에 따라 최근 4개년 avg.flat 처리했다.

상기 내용을 종합한 최종 추정 손익계산서 Table은 다음과 같다.

Estimated Income Statement								
(TWD in Millions)	2022	2023	2024	2025	1Q26	2026E	2027E	2028E
Revenue	24,040	26,241	25,044	34,141	11,448	81,209	145,397	196,418
YoY(%)	59.1%	9.2%	-4.6%	36.3%	63.0%	137.9%	79.0%	35.1%
Cost of revenue	15,705	18,265	16,937	25,687	8,335	63,489	118,105	162,829
Gross profit	8,335	7,976	8,108	8,454	3,113	17,720	27,293	33,589
GPM(%)	34.7%	30.4%	32.4%	24.8%	27.2%	21.8%	18.8%	17.1%
Operating expenses	4,236	4,007	4,305	4,104	1,289	4,512	4,809	5,116
Operating income (loss)	4,099	3,969	3,803	4,350	1,824	13,208	22,484	28,473
OPM(%)	17.1%	15.1%	15.2%	12.7%	15.9%	16.3%	15.5%	14.5%
Interest income	42	98	154	182	51	182	182	182
Interest expense	4	6	4	4	2	4	4	4
Foreign exchange gain (loss)	119	(3)	48	(150)	41	-	-	-
Other income (expense)	78	74	12	30	2	21	25	23
Abnormal gain (loss)	11	23	50	36	8	-	-	-
Pretax income (loss)	4,345	4,155	4,062	4,443	1,925	13,406	22,687	28,673
Income tax expense (benefit)	634	647	612	673	278	2,024	3,425	4,329
Net income (loss)	3,710	3,508	3,451	3,770	1,646	11,382	19,261	24,344
NPM(%)	15.4%	13.4%	13.8%	11.0%	14.4%	14.0%	13.2%	12.4%

7.5. Valuation - Historical PER Method

(1) Why PER Method?

본서는 PER Method를 통해 동사의 가치를 산출한다. 투자포인트에서 상술한 바와 같이, 동사는 기존에 매출로 인식되고 있던 AI ASIC 프로젝트들을 바탕으로 폭발적인 성장성을 추구할 것이다. 이에 더해, HBM향 매출을 추가로 인식하게 되며 더 큰 매출 성장을 이끌어 낼 것이다. 이러한 이익 성장을 가장 잘 반영하기 위해 PER Method를 활용하였다. 또한, 동사는 순자산을 바탕으로 한 자본집약적 사이클 산업도 아니며, 이자손익과 감가상각비 또한 미미한 수준이기에 PBR 혹은 EV/EBITDA Method를 활용하는 것은 적절치 않다고 판단했다.

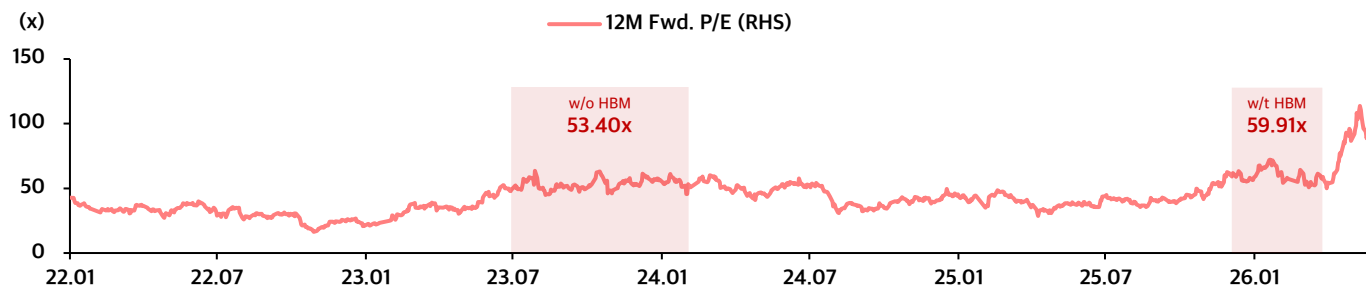
(2) Why Historical PER Method?

[투자 아이디어]에서 상술했듯, 동사는 시장의 기대감과 실적 검증에 따라 주가와 펀더멘털이 수시로 변화했다. 즉, AI ASIC향 추가 수주 및 HBM 수주의 기대감을 받고 있는 현재의 상황과 더불어, 새로운 기대감을 받을 가까운 미래의 상황 역시 동사에게는 새로운 국면이 아니며 상황적 유사성이 높은 과거가 이미 존재한다. 실제로 동사의 12M Fwd PER을 살펴봐도, 시장의 AI ASIC 수혜주에 대한 기대감 및 검증 여부에 따라 동사의 멀티플이 등락했음을 알 수 있다.

Pure한 디자인하우스임과 동시에 TSMC의 자회사격인 상장사는 동사가 유일하다. 대표적인 Peer사로 Alchip이 존재하지만, 해당 사는 AWS라는 단일고객에 지나치게 의존하고 있으며 자체 IP 매출도 존재하지 않기 때문에 단순 비교가 힘들다. Broadcom과 Marvell 역시 one and only 사업부가 아니며, AI ASIC 세그먼트를 따로 분리한 멀티플을 산정하기 어렵기 때문에 동사와 직접 비교하기에 적절치 않다고 판단했다.

(3) Target PER Multiple

동사의 2025년 12월부터 2026년 3월까지의 12M Fwd PER 평균치인 59.91x를 Target Multiple로 제시한다. 당시 동사는 구글 CPU향 실적이 공식적으로 검증됨과 동시에, Tesla향 AI ASIC 칩인 Tesla AI5 수주에 대한 기대감이 선반영되던 성장기였다. 즉, 시장이 기존에 기대하던 바의 실재성이 확인되었고, 새로운 기대감이 얹히고 있던 시기라고 할 수 있다.

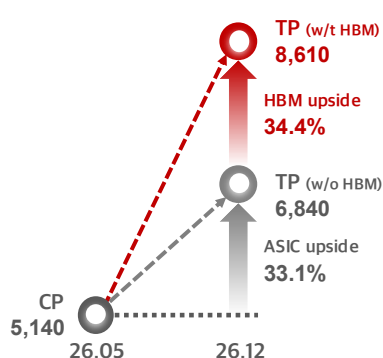


본서의 목표주가 실현 시점인 27E(27년 초)는 동사의 구글 CPU향 매출과 Tesla AI5향 실적이 견재함이 증명됨과 동시에, HBM향 매출이 새롭게 실적으로 반영되며 동사의 매출 구조가 한 단계 성장하는 시기이다. 이에 더해 투자포인트에서 논증했듯, 시장은 동사에게 AI ASIC의 후속 프로젝트들에 대한 수주 확대 기대감과 CPO 외주 수요에 대한 기대감 역시 반영할 것이다.

당시에 동사가 받고 있던 기대감을 멀티플로 차용하는 것은 충분히 합리적이다. 당시 시장은 동사의 구글 CPU향 실적에 대한 적합한 평가와, 새로운 AI ASIC 칩에 대한 기대감을 반영하고 있었다. 27년은 동사의 Tesla AI5 실적 및 HBM 매출에 대해 시장이 다시 한번 합당한 평가를 내릴 것이며, ASIC에 대한 추가 기대감과 CPO에 대한 기대감을 반영할 것이다. 이러한 두 시기 간의 상황적 유사성은 해당 시기의 Target Multiple이 무리한 가정이 아님을 증명한다.

HBM4E향 매출이 반영되지 않는 보수적인 시나리오에서도 동사의 Upside는 보장된다. HBM4E향 매출이 발생하지 않는 경우 목표주가 실현 시점에서 동사는 구글 CPU향 매출과 Tesla AI5향 실적이 가장 견재한 상황이다. 해당 상황에서 ASIC에 대한 추가 계약 기대감 및 CPO에 대한 기대감은 HBM과 관계없이 동일하게 반영된다. 따라서 해당 시나리오에서는 동사의 23년 7월부터 24년 1월까지의 12M Fwd PER의 평균치인 53.40x를 Target Multiple로 제시한다. 당시 동사는 뚜렷한 AI향 매출이 발생하지 않았지만 AI ASIC의 차기 수주 후보로 거론되며 기대감을 받던 시기이므로, 해당 시기의 Target Multiple 역시 절대 무리한 가정이 아닐 것이다.

Valuation - PER Method (27E)	
2027E Revenue (TWDmn)	145,397
2027E Net Income (TWDmn)	19,261
Shares Outstanding	134,011,000
2027E EPS	143.73
Target PER Multiple	59.91x
Target Price (TWD)	8,610
Current Price (TWD)	5,140
Upside (%)	67.5%



Valuation (w/o HBM)- PER Method (27E)	
2027E Revenue (TWDmn)	141,847
2027E Net Income (TWDmn)	17,173
Shares Outstanding	134,011,000
2027E EPS	128.14
Target PER Multiple	53.4x
Target Price (TWD)	6,840
Current Price (TWD)	5,140
Upside (%)	33.1%

동사는 향후 1년간 HBM4E Base Die NRE, 차세대 ASIC NRE 등, 고마진의 NRE 먹거리들을 바탕으로 upside를 창출할 수 있다. 이와 동시에, 구글 및 Tesla Turnkey 매출 볼륨이 확대되며 기존 ASIC향 매출만으로도 하방 안정성이 보장되는 구간에 진입했다. 물론 26년 4월 초강세 랠리 이후 100배가 넘는 Fwd PER 부담으로 단기 조정이 발생할 수도 있지만, HBM, CPO, ASIC이라는 추가 트리거는 동사에게 멀티플 재확장 기회를 줄 것이다. HBM향 매출이 반영되지 않더라도, 기존 구글·Tesla향 ASIC 매출만으로 약 33.1% 수준의 업사이드가 확보되기 때문에, 현재 동사는 upside 트리거와 downside 방어가 공존하는 매력적인 투자 기회를 지닌 기업으로 판단된다.

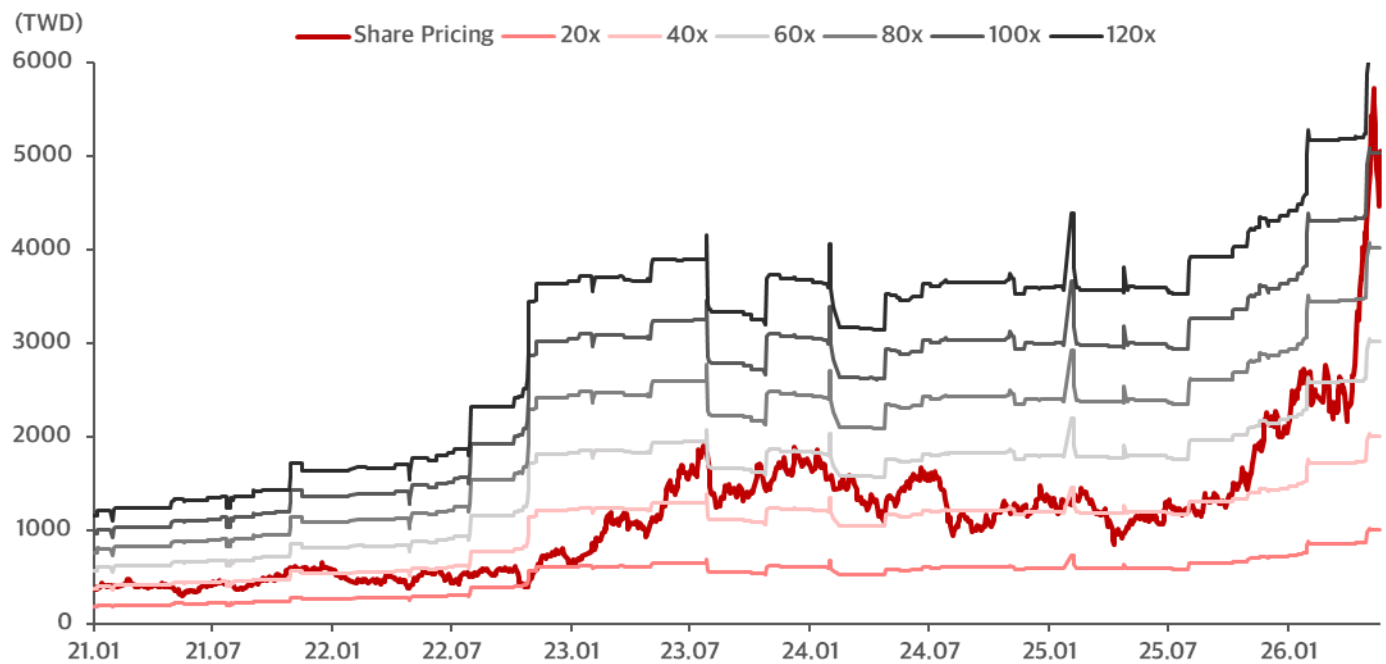
상기 논의를 모두 종합하여, 2027E EPS TWD 143.73에 Target PER 59.91x를 곱한 Target Price TWD 8,610, 상승여력 67.5%, 투자 의견 BUY를 제시한다.

Appendix

Appx 1. Estimated BS & CF

Estimated Balance Sheet								Estimated Cash Flow Statement							
(TWD in Millions)	2022	2023	2024	2025	2026E	2027E	2028E	(TWD in Millions)	2022	2023	2024	2025	2026E	2027E	2028E
Assets	21,188	21,074	26,309	28,443	62,985	108,979	148,969	Cash from Operating Activities	1,632	4,599	6,390	(962)	23,671	30,432	34,008
Total Current Assets	19,558	19,436	24,480	25,737	58,917	102,087	138,564	Net Income	3,710	3,508	3,451	3,770	11,382	19,261	24,344
Cash & Cash Equivalents	5,849	7,638	10,427	6,650	25,925	46,004	63,719	Depreciation & Amortization	652	615	623	677	862	1,161	1,743
Short-term Investments	1,780	2,080	2,980	2,082	2,082	2,082	2,082	Non-Cash Items	395	(368)	62	(167)	-	-	-
Accounts & Notes Receivable	3,000	1,989	2,007	3,417	7,732	13,844	18,702	(Increase) / Decrease in Accounts Receivable	(1,487)	1,011	(173)	(1,264)	(4,315)	(6,112)	(4,858)
Inventories	6,563	4,851	2,794	10,148	19,737	36,716	50,620	(Increase) / Decrease in Inventories	(3,774)	1,712	2,056	(7,354)	(9,589)	(16,979)	(13,904)
Other Current Assets	2,366	2,878	6,271	3,440	3,440	3,440	3,440	Increase / (Decrease) in Accounts Payable	898	(974)	(12)	1,878	10,437	15,504	12,696
Total Noncurrent Assets	1,630	1,638	1,829	2,706	4,068	6,892	10,406	Increase / (Decrease) in Others	1,237	(905)	383	1,497	14,895	17,596	13,986
Net PP&E	916	795	1,115	1,594	2,791	5,456	8,816	Cash from Investing Activities	(388)	(839)	(1,673)	(583)	(2,225)	(3,985)	(5,257)
Long-term Investments & Receivables	22	22	22	-	-	-	-	Acquisition of Fixed Assets	(320)	(102)	(471)	(839)	(1,868)	(3,635)	(4,910)
Other Noncurrent Assets	691	820	692	1,112	1,277	1,435	1,590	Acquisition of Intangible Assets	(360)	(376)	(362)	(332)	(357)	(350)	(346)
Liabilities	13,126	11,392	15,015	15,530	40,862	73,962	100,645	Disposal in Fixed & Intangible Assets	-	0	-	1	-	-	-
Total Current Liabilities	12,598	10,954	14,669	15,033	40,365	73,465	100,148	Other Investing Activities	292	(361)	(841)	587	-	-	-
Accounts Payables & Accruals	6,163	4,609	5,148	7,587	18,023	33,527	46,224	Cash from Financing Activities	(1,003)	(1,956)	(1,958)	(2,222)	(2,172)	(6,368)	(11,036)
Short-term Debt	69	78	77	79	79	79	79	Dividends Paid	(938)	(1,876)	(1,876)	(2,144)	(2,172)	(6,368)	(11,036)
Other Current Liabilities	6,367	6,267	9,444	7,367	22,262	39,858	53,845	Cash from Repayment Debt	(65)	(80)	(82)	(78)	-	-	-
Total Noncurrent Liabilities	528	439	346	497	497	497	497	Other Financing Activities	0	0	0	(0)	-	-	-
Long-term Debt	215	172	110	190	190	190	190	Effect of Foreign Exchange Rates	20	(15)	31	(10)	-	-	-
Other Noncurrent Liabilities	313	266	237	307	307	307	307	Net changes in Cash	261	1,789	2,790	(3,778)	19,275	20,079	17,715
Equity	8,061	9,682	11,294	12,913	22,123	35,017	48,325	Cash and Cash Equivalents at Beginning of Period	5,587	5,849	7,638	10,427	6,650	25,925	46,004
Share Capital & APIC	1,370	1,370	1,370	1,370	1,370	1,370	1,370	Cash and Cash Equivalents at End of Period	5,849	7,638	10,427	6,650	25,925	46,004	63,719
Retained Earnings	6,707	8,343	9,924	11,556	20,766	33,659	46,967								
Other Equity	(15)	(31)	(0)	(13)	(13)	(13)	(13)								
Total Liabilities & Equity	21,188	21,074	26,309	28,443	62,985	108,979	148,969								

Appx 2. 12M Fwd. PER band



Appx 3. Google Axion v1 CPU향 Turnkey 매출 추정

Google Axion v1 CPU향 Turnkey 매출 추정					
(단위: TWD in millions)	2025	1Q26	2026E	2027E	2028E
Google Axion v1 CPU향 매출액	5,894	2,091	22,378	40,541	67,176
YoY(%)			279.6%	81.2%	65.7%
Q	155,938	55,313	592,003	1,072,505	1,777,144
TPU향 CPU	35,938	14,513	428,803	878,620	1,615,240
TAM (TPU 출하량)	2,300,000	645,000	4,300,000	5,000,000	6,500,000
V7	2,300,000	645,000	3,762,500	3,885,000	4,413,500
V8T	0	0	268,750	557,500	1,043,250
V8I	0	0	268,750	557,500	1,043,250
SAM (AXION CPU 비중)	35,938	14,513	428,803	878,620	1,615,240
V7	143,750	48,375	388,008	558,469	794,430
*axion cpu%	25%	30%	41%	58%	72%
V8T	0	0	134,375	278,750	521,625
V8I	0	0	134,375	278,750	521,625
SOM (GUC 침투율)	1	1	1	1	1
범용 GCP향 CPU	120,000	40,800	163,200	193,886	161,905
TAM (GCP향 CPU 매출)	235,116	74,970	299,880	331,695	267,750
GCP 매출	1,741,600	669,375	2,677,500	4,252,500	5,355,000
Compute Engine 비중	30%	0	28%	26%	25%
CPU 비중	45%	40%	40%	30%	20%
SAM (AXION CPU 비중)	120,000	40,800	163,200	193,886	161,905
AXION 침투율	25%	27%	27%	29%	30%
1 chip당 발생 매출	489,825	496,125	496,125	496,125	496,125
SOM (GUC 침투율)	1	1	1	1	1
P	37,800	37,800	37,800	37,800	37,800
TSMC 3nm chip ASP	37,800	37,800	37,800	37,800	37,800

Appx 4. Tesla AI5 향 Turnkey 매출 추정

TESLA AI5향 Turnkey 매출 추정					
(단위: TWD in millions)	2025	1Q26	2026E	2027E	2028E
TESLA AI5향 매출액	-	-	4,241	38,453	60,940
YoY(%)					58.5%
Q	0	0	112,200	1,017,280	1,612,160
Model Y/3 FED Computer				752000	852000
Model Y/3 FED Computer 출하량				1880000	2130000
AI5 per robot				2	2
AI5 침투율				0.2	0.2
Optimus Robot	0	0	120000	336000	980000
Optimus Robot 출하량	10000	25000	100000	1200000	3500000
Lag로 인한 실 출하 비중	100%	80%	60%	14%	14%
AI5 per robot	2	2	2	2	2
AI5 침투율	0	0	1	1	1
xAI Colossus			12000	108800	183200
GUC 침투율			0.85	0.85	0.80
P			37,800	37,800	37,800

Appx 5. R&D 비용 추정

Headcount								
(Persons & TWD in Millions)	2021	2022	2023	2024	2025	2026E	2027E	2028E
Professional Headcount	775	826	852	873	902	956	1,013	1,074
YoY (%)		6.6%	3.1%	2.5%	3.3%	6.0%	6.0%	6.0%
R&D per Headcount	4	4	4	4	4	4	4	4
YoY (%)		9.5%	-8.2%	0.9%	0.0%	1.9%	1.9%	1.9%

Notice.

본 보고서는 서울대 투자연구회의 리서치 결과를 토대로 한 분석보고서입니다. 보고서에 사용된 자료들은 서울대 투자연구회가 신뢰할 수 있는 출처 및 정보로부터 얻어진 것이나, 그 정확성이나 완전성을 보장할 수 없으므로 투자자 자신의 판단과 책임 하에 종목 선택이나 투자 시기에 대한 최종 결정을 내리시기 바랍니다. 그리고 이 분석보고서는 어떠한 경우에도 법적 책임소재의 증빙자료로 사용될 수 없습니다. 또한, 이 분석보고서의 지적재산권은 서울대 투자연구회에 있음을 알립니다.